

## Vorlesung 2

Themen dieser Vorlesung sind

...

## Vorlesung 2

### Einführung CMOS

Thema dieser Vorlesung sind die CMOS logische Schaltungen (Gates, Gatter). In einer CMOS (complementary metal oxid semiconductor) Technologie gibt es zwei Hauptbauteile NMOS und PMOS Transistor. Der Name ist etwas veraltet da die Gate-Elektrode normalerweise aus Polysilizium ist.

CMOS integrierte Schaltung ist eine der wichtigsten Erfindungen des 20 Jahrhunderts. Diese Art der Schaltungen hat die leistungsstarken Mikroprozessoren und Rechnern ermöglicht. CMOS wurde von F. M. Wanlass in 1963 erfunden. <https://patents.google.com/patent/US3356858A/en>

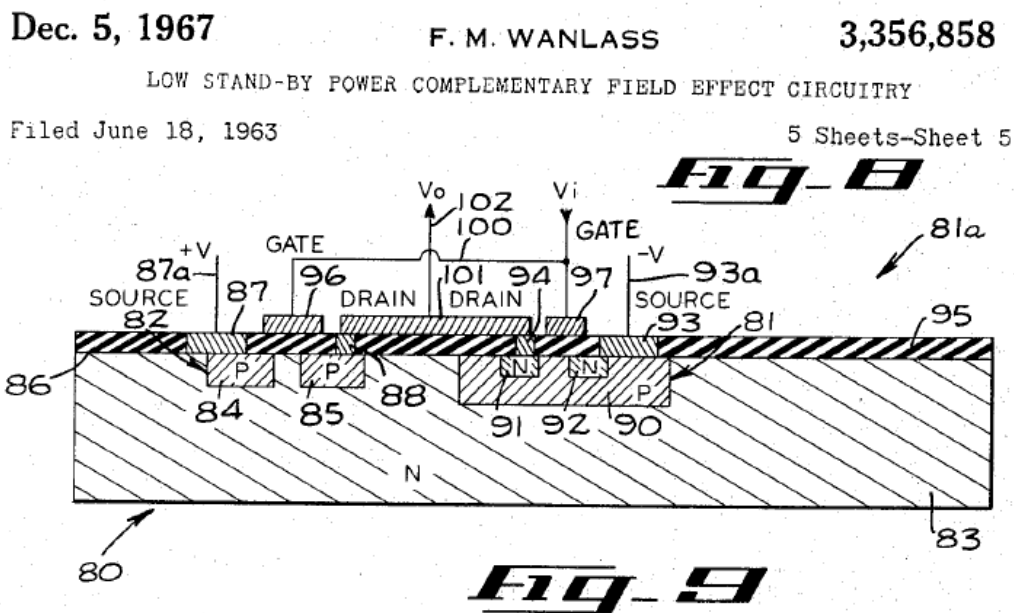


Abbildung 1: Zeichnung aus dem CMOS-Patent von F. N. Wanlass

CMOS Technik ist besonders für digitale Schaltungen geeignet: CMOS Bauteile basierend auf Feldeffekt Transistoren (FETs) sind stromsparend und klein. Das wird in dieser Vorlesung erklärt.

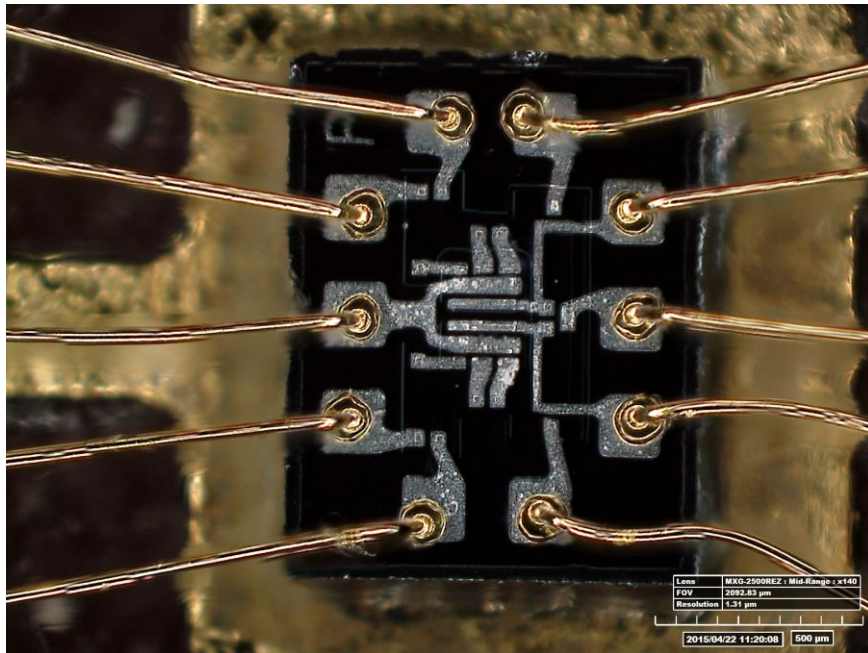


Abbildung 2: Eine der ersten integrierten Schaltungen.

<https://airandspace.si.edu/stories/editorial/apollo-guidance-computer-and-first-silicon-chips>

Die CMOS Technologie hat sich seit 1960er bis heute kontinuierlich entwickelt. Seit Mitte 1960 bis heute verdoppelt sich etwa jede 18 Monaten die Zahl von Transistoren auf einem typischen digitalen Chip. Diesen Trend hat 1965 Gordon Moore vorhergesagt ([Moore's law - Wikipedia](#)). Die ersten Transistoren hatten die Gate-Längen von etwa 10 µm. Heute sind wir schon bei 3 nm ([Future R&D Plans - Taiwan Semiconductor Manufacturing Company Limited \(tsmc.com\)](#)).

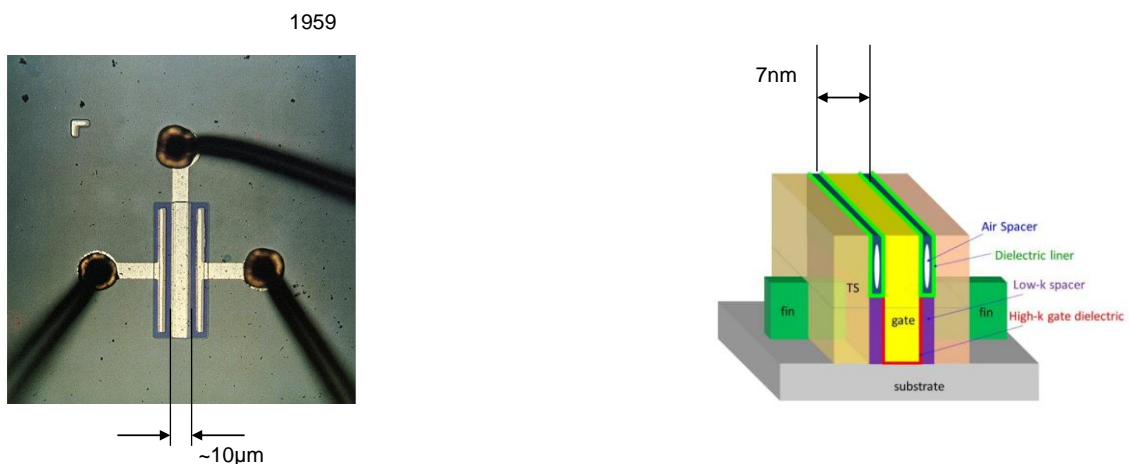


Abbildung 3: Ein der ersten MOS Transistoren aus 1959 (links) und der moderne FinFET (rechts).

## CMOS Transistoren

Die MOS Transistorarten (Abbildung 4) haben folgende Kontakte: Source, Drain, Gate und Substrat (Bulk). Source und Drain sind, in digitalen Schaltungen, möglichst nah einander. (Die Gatelänge ist minimal und sie definiert die Technologiegeneration.) Sie haben andere Dotierungsart als der Substratbereich zwischen ihnen. Die Dotierung von Source und Drain bestimmt die Ladungsträger – NMOS benutzt die n-dotierten Source und Drain – die Ladungsträger sind Elektronen. PMOS benutzt die p-dotierten Source und Drain – die Ladungsträger sind Löcher.

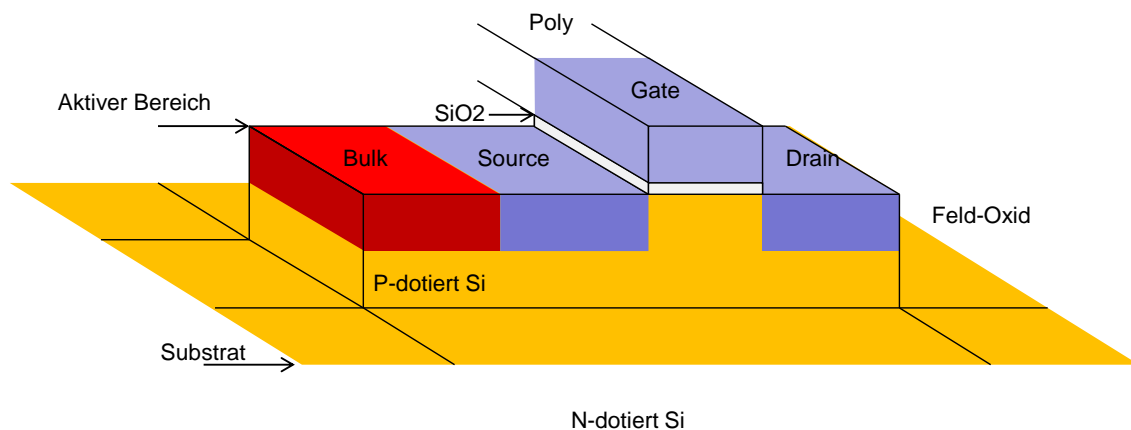


Abbildung 4: 3D Bild des Transistors

Ein NMOS leitet, wenn man durch eine positive Gate-Source Spannung eine „Typinversion“ im P-Substrat zwischen dem Source und dem Drain erreicht. Die Löcher werden durch das E-Feld verdrängt und ein Elektronkanal an der Silizium-Oxid Oberfläche erzeugt (Abbildung 5). NMOS leitet auch wenn der Drain ein höheres Potential als das Gate hat.

Man definiert die Transistorschwelle  $V_{th}$  als die minimale Gate-Source Spannung, die den Transistor einschaltet. Diese Spannung ist im Bereich 0.3 V – 0.5 V.

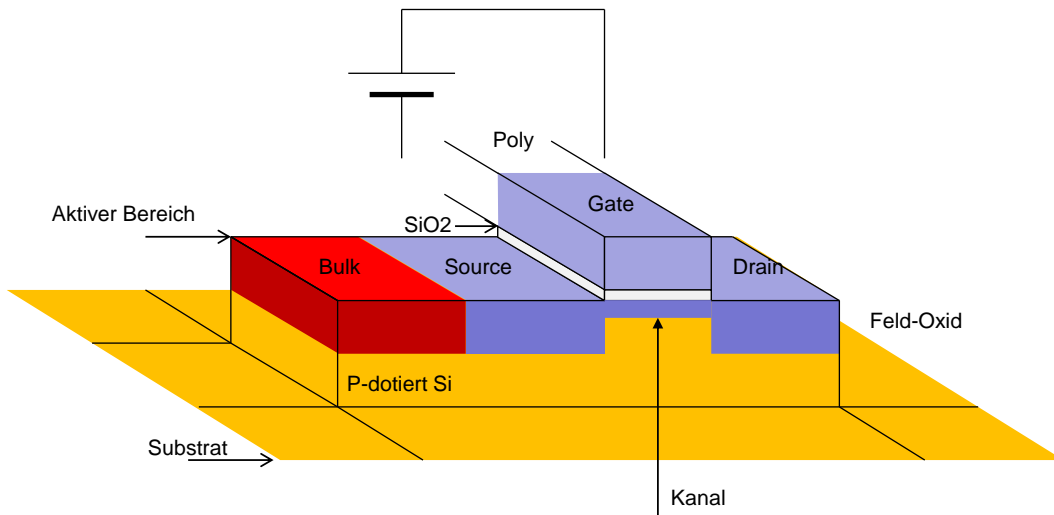


Abbildung 5: Eine positive Gate-Source Spannung schaltet den Transistor ein.

Wir sehen in Abbildung 4, dass die Transistorstruktur symmetrisch ist. Wie wissen wir dann, welcher Kontakt Drain und welcher Source ist?

Es gilt (NMOS): Die Source ist der Kontakt mit dem niedrigeren Potential.

Betrachten wir einige Beispiele:

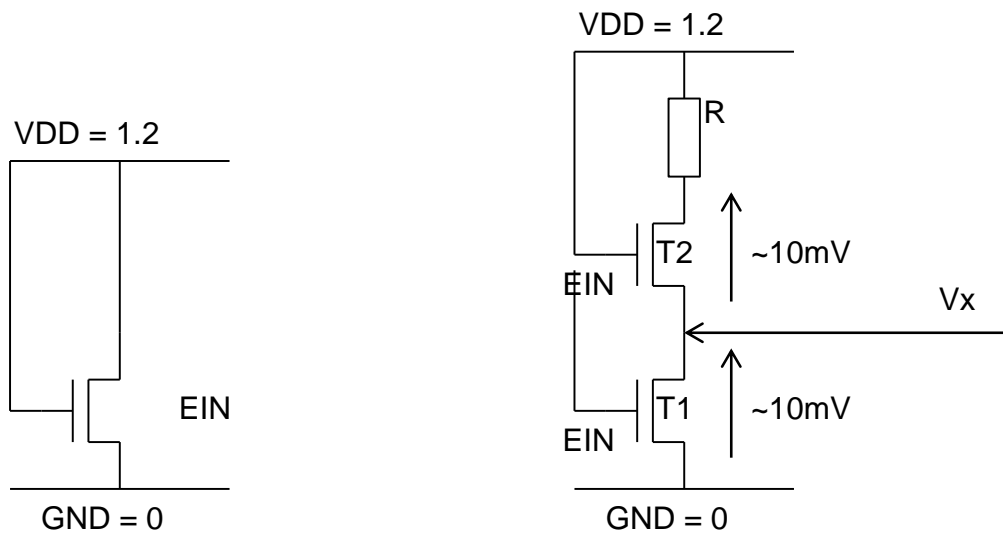


Abbildung 6: Beispiel 1 (links), Beispiel 2 (rechts)

### Annahmen:

GND ist die Masse-Leitung ( $V = 0 \text{ V}$ ) und VDD ist die Versorgungsspannung (Potential =  $1.2 \text{ V}$ ). Die Transistoreschwelle ist  $0.4 \text{ V}$

### Beispiel 1 (Abbildung 6, links)

Die Source des NMOS-Transistors ist an GND angeschlossen, die Gate Elektrode ist am VDD-Potential. Die Gate-Source Spannung ist 1.2 V, also höher als die Schwelle. Der Transistor leitet.

### **Beispiel 2 (Abbildung 6, rechts)**

Hier haben wir zwei NMOS Transistoren in Serie, und die Source vom T1 ist an Masse angeschlossen. Der Drain des Transistors T2 ist an einen Pull-Up Widerstand (R) angeschlossen. Dieser Widerstand verbindet die Transistoren und VDD. Beide Transistor-Gates sind VDD.

Der untere Transistor (T1) leitet, da  $V_{gs1}$  größer als die Schwelle ist. Der obere Transistor (T2) leitet, wenn seine  $V_{gs2}$  größer als  $V_{th}$  ist. Dies ist gewährleistet, falls das Potential  $V_x$  klein genug ist, also falls der Widerstand des leitenden Transistors deutlich kleiner als R-Pullup ist

$$R_{on}(T1) \ll R$$

Ein Strom fließt durch die zwei Transistoren und den Widerstand R, und es bildet sich eine Spannung zwischen dem Drain und der Source vom T1. Für  $R_{on}(T1) \ll R$  ist diese Spannung etwa  $\sim 100$  mV und die  $V_{gs}$  des Transistors T2 ist größer als die Schwelle  $V_{th}$ .

Um zu prüfen, ob T2 leitet könnte man auch die Annahme machen, dass T2 nicht leitet. Dann wäre  $V_x = 0$  V. Daraus folgt  $V_{gs1} > V_{th}$ . Das widerspricht der Annahme.

### **Beispiel 3 (Abbildung 7)**

Betrachten wir jetzt den Fall, wenn das Gate Potential des unteren Transistors T1 null ist. Das Gate-Potential des oberen Transistors ist VDD. Die Frage ist – welcher Transistor leitet und welcher nicht? T1 leitet nicht da seine  $V_{gs} = 0$  V. Da der Transistor nicht leitet, kann kein Strom fließen -> das Potential am Drain vom T2 ist VDD. Transistor T2 leitet ebenfalls nicht. Wenn der Transistor T2 leiten würde, wäre sein Source Potential VDD. In dem Fall wäre  $V_{gs2}$  null – also die Annahme T2 leitet ist falsch.

(Andersfalls, wenn der Transistor T2 nicht leitet ist das Source Potential undefiniert, muss aber die Bedingung  $V_{gs2} < V_{th}$  erfüllen.)

Wir können daraus schließen, dass sich NMOS Transistoren besser (bzw. definiert) verhalten, wenn ihre Source-Kontakte an GND angeschlossen werden (wie im Fall von T1).

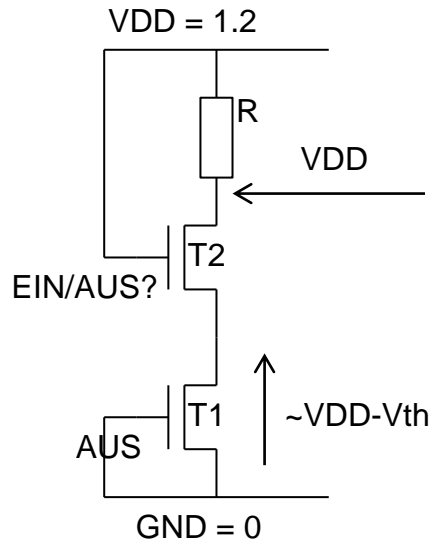


Abbildung 7: Beispiel 3

Wir zeigen nun ein Beispiel wo NMOS falsch verwendet wurde.

Wir versuchen die NMOS-Transistoren als Schalter mit einem Pull-Down Widerstand zu kombinieren. Die Einfachste Möglichkeit wäre ein ODER-Gate, Abbildung 8. Die Schaltung funktioniert folgenderweise: Wenn beide Gate-Potentiale null sind, leiten die Transistoren nicht und der Ausgang ist null (Abbildung 8, links).

Wenn mindestens ein Gate  $VDD$  wäre (Transistor  $T1$ ) (Abbildung 8, rechts), würden wir annehmen, dass der Transistor  $T1$  leitet und dass der Ausgang  $VDD$  ist. Das ist nicht vollständig korrekt. Denn mit  $VDD$  am Ausgang, wäre auch die  $V_{gs}$  des „leitenden“ Transistors  $T1$  null. In Wirklichkeit, also, haben wir am Ausgang eine Spannung, die etwa  $VDD - V_{th}$  ist. Das wäre für eine logische Eins nicht ausreichend. Wenn wir eine ähnliche Schaltung an den Ausgang dieser Schaltung anschließen würden, wäre ihr Ausgangspotential noch niedriger.

Es wäre mit NMOS Transistoren und den Pull-Down Widerständen auch unmöglich einen Inverter zu realisieren.

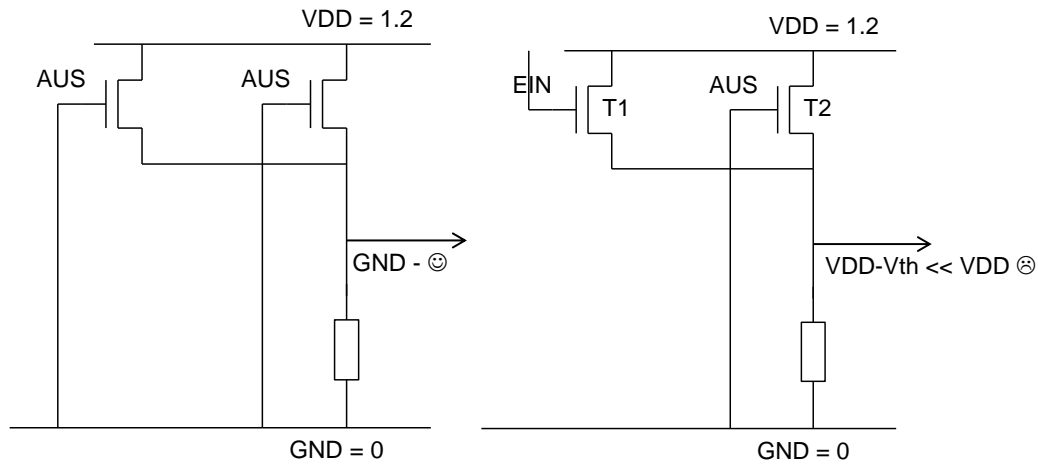


Abbildung 8: Versuch eine ODER-Funktion mit NMOS Transistoren zu realisieren.

## Multiplexer

Es gibt eine wichtige logische Schaltung, die sich mit idealen Schaltern einfach realisieren lässt – der Multiplexer. Abbildung 9 zeigt den Schaltplan des Multiplexers. Auch hier wäre ein NMOS Schalter nicht ausreichend. Wenn wir am Eingang logische Eins = VDD haben (Abbildung 10), und wenn der NMOS Gate VDD ist, wäre der Ausgang etwa  $VDD - V_{th}$ .

Eine Reihenschaltung von Multiplexern wäre nicht möglich – das Ausgangspotential jeder nächsten Stufe wäre um  $V_{th}$  niedriger.

## PMOS Transistor

Alles, was für ein NMOS in den letzten Folien gesagt wurde, gilt auch für einen PMOS, mit dem Unterschied, dass ein PMOS besser funktioniert, wenn seine Source an VDD angeschlossen ist und dass ein PMOS leitet, wenn seine Gate-Source Spannung negativer als eine (negative) Schwelle ist.

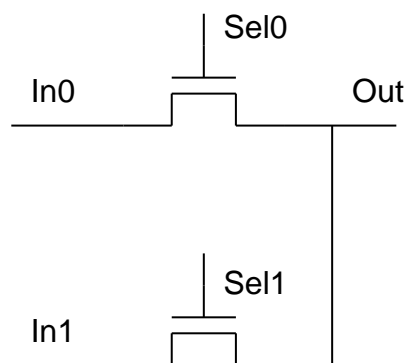


Abbildung 9: Multiplexer

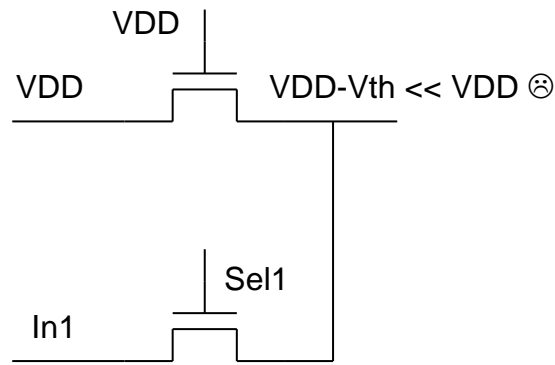


Abbildung 10: Multiplexer leitet logisch Eins nicht.

Abbildung 11 zeigt die Struktur eines PMOS Transistors. PMOS hat die p-dotierten Source und Drain. Der Bereich zwischen den Source und Drain ist n-dotiert. Eine negative Gate-Source Spannung erzeugt Typinversion im Kanalbereich. Die Elektronen werden abgestoßen und die Löcher an die Silizium-Oxid Oberfläche angezogen. Auf diese Weise wird der Transistor leitend, die Löcher können den Bereich zwischen den Drain und Source überqueren. Bei einem PMOS ist die Source die Elektrode mit höherem Potential.

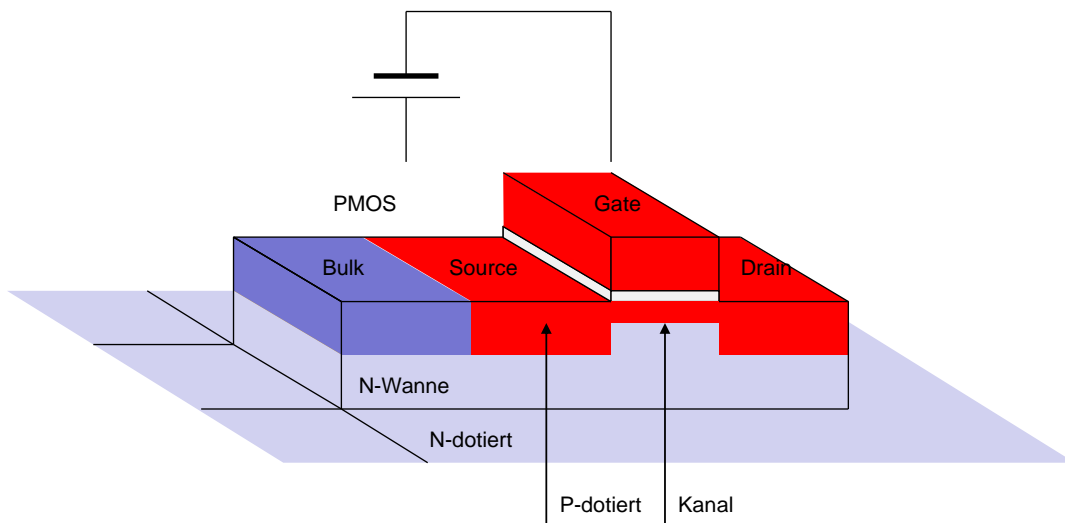


Abbildung 11: PMOS Transistor

Ein PMOS leitet besser wenn seine Source an VDD angeschlossen ist. PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren. Auf diese Weise kann ein PMOS Inverter realisiert werden (Abbildung 12).



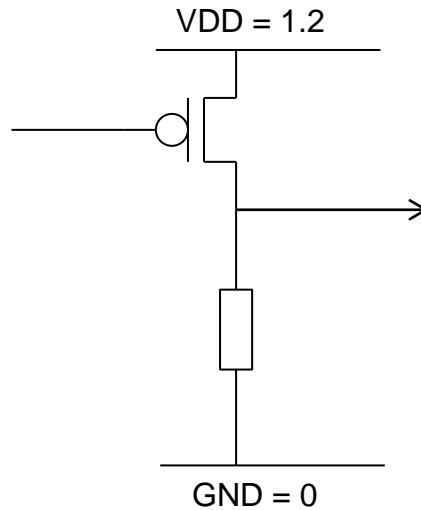


Abbildung 12: PMOS Inverter

Wenn das Gate-Potential VDD ist, ist  $V_{gs} = 0$ . Der Transistor leitet nicht und die Ausgangsspannung ist null (Abbildung 13).

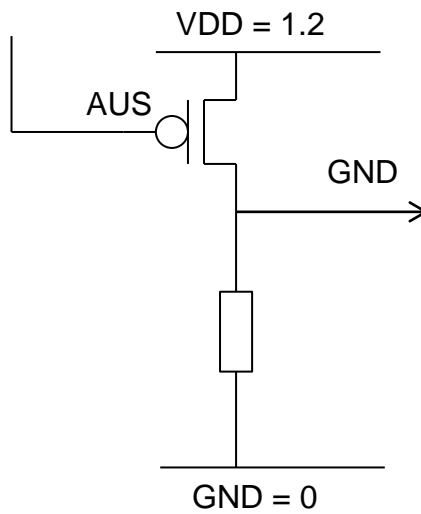


Abbildung 13: PMOS Inverter, der Ausgang ist 0.

Wenn das Gate Potential GND ist, ist  $V_{gs} = -VDD$ . Der Transistor leitet und die Ausgangsspannung ist  $\sim VDD$  (Abbildung 14). Es wird angenommen, dass der Widerstand des leitenden Transistors deutlich niedriger als R ist.

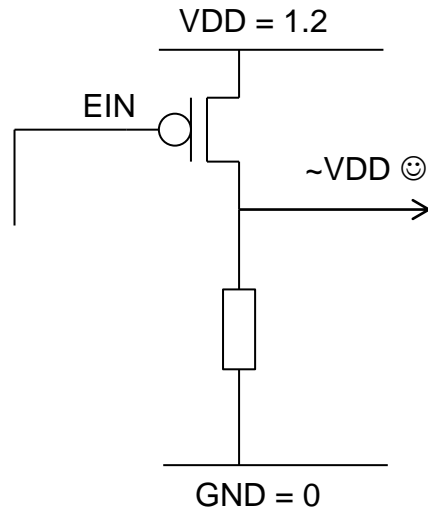


Abbildung 14: PMOS Inverter, der Ausgang ist 1.

## RTL-Logik

Logische Schaltungen mit NMOS-Transistoren und Pullup-Widerständen und mit PMOS-Transistoren und Pulldown-Widerständen sind möglich. Auf diesem Prinzip basiert die RTL-Logik-Familie.

Diese Schaltungen haben drei Nachteile:

1. Bei den eingeschalteten Transistoren fließt Strom, wir haben einen DC-Stromverbrauch. (Die logischen Gatter verbrauchen Strom, auch wenn sie nicht getaktet werden.) Wir können den Stromverbrauch durch einen größeren Widerstand minimieren, aber dann bekommt man zwei weitere Nachteile:
2. Große Polysilizium-Widerstände nehmen auf einem Chip große Fläche.
3. Logische Schaltungen, die auf großen Widerständen basieren, sind aus folgenden Gründen langsam: Oft werden die logischen Schaltungen an viele andere Gatter angeschlossen. Das führt zu einer kapazitiven Last. Die Geschwindigkeit, mit der diese Last aufgeladen wird, (z.B. wenn sich das logische Niveau von Null (GND) auf Eins (VDD) ändert) hängt vom  $R \times C$  Produkt ab. Im Fall von großen R und C, sind die Schaltungen langsam.

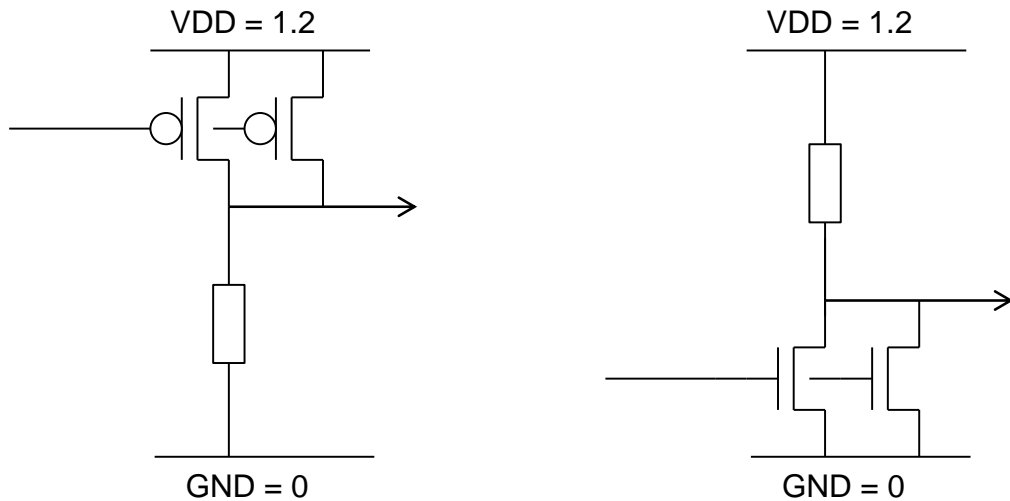


Abbildung 15: RTL-Logik. Links NAND. Rechts NOR.

### CMOS Logik

Wir haben gesehen, dass NMOS- und PMOS Transistoren komplementär sind: NMOS-Transistoren können eine Leitung auf das Potential der Masse entladen und die PMOS-Transistoren auf das VDD-Potential aufladen.

Deswegen lassen sich die NMOS- und PMOS-Transistoren in logischen Gattern gut kombinieren. Hier hilft auch die Tatsache, dass die NMOS- und PMOS-Gates verschiedene Polaritäten haben, wenn der Transistor eingeschaltet ist.

Wir bekommen einen CMOS Inverter (Abbildung 16), wenn wir, bei einem NMOS RTL Inverter, den Pullup-Widerstand durch den PMOS ersetzen.

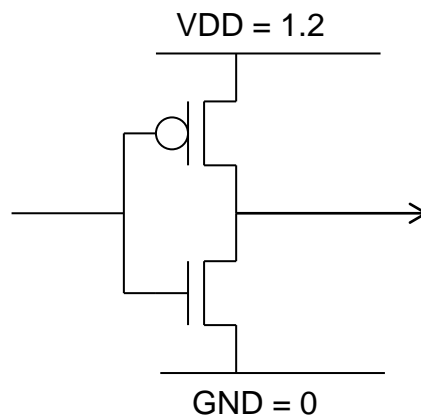


Abbildung 16: CMOS Inverter

Die Schaltung funktioniert folgenderweise: Wenn der Eingang das Potential VDD hat (logisch Eins) (Abbildung 17) leitet der NMOS ( $V_{gs} = VDD$ ) und der PMOS sperrt ( $V_{gs} = 0$ ). Der Ausgang ist GND (logisch Null).

Ähnlich, wenn der Eingang GND ist (Abbildung 18) leitet der PMOS und der NMOS sperrt. Der Ausgang ist VDD (logisch Eins).

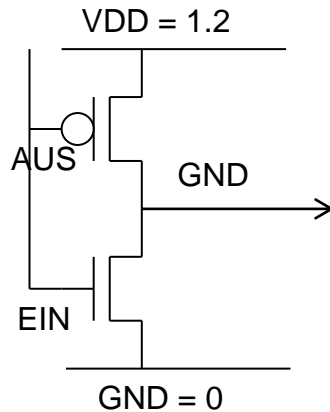


Abbildung 17: CMOS Inverter. Der Eingang ist logisch Eins.

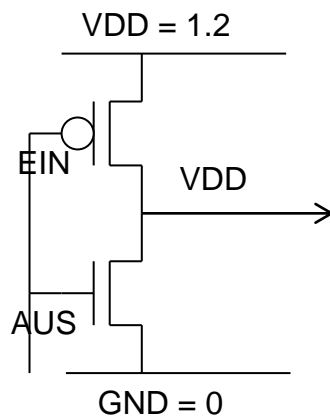


Abbildung 18: CMOS Inverter. Der Eingang ist logisch Null.

Die CMOS Gatter haben einige Vorteile gegenüber der RTL-Logik.

1. Wenn der Eingang auf einem konstanten Potential ist, fließt kein DC-Strom durch den Inverter.
2. Der Inverter besteht nur aus Transistoren. Die Transistoren können sehr kleine Fläche haben.
3. Die Umladezeit hängt vom Widerstand des leitenden Transistors und der Ausgangskapazität. Die Schaltung ist schnell.

## Analyse des Inverters

Die Analyse und das Design des Inverters sind die Aufgaben der analogen Elektronik. Wir werden deshalb einige Methoden der analogen Elektronik in weiterer Analyse verwenden.

Wir werden zuerst die Großsignal-Analyse für langsame Signale beschreiben. Dann werden wir die AC-Analyse durchführen, um die Geschwindigkeit der Schaltung abzuschätzen.

Die, in der analogen Elektronik übliche Approximation, die Kleinsignalanalyse, hilft hier nicht. In den digitalen Schaltungen sind die Signale „groß“ und die Nichtlinearitäten sind unvermeidbar und manchmal erwünscht. Bei der AC-Analyse werden wir also die nichtlinearen Kennlinien verwenden.

## DC-Analyse

Ziel: Wir leiten die Eingang-Ausgangs-Kennlinie des Inverters her.

Theorie:

Die Transistoren werden mit zwei Arten von Kennlinien beschrieben - der Eingangskennlinie

$$I_{ds} = f(V_{gs})$$

und der Ausgangskennlinie

$$I_{ds} = f(V_{ds})$$

Für uns ist besonders die Ausgangskennlinie interessant.

Abbildung 19 zeigt die Ausgangskennlinie eines NMOS Transistors für drei verschiedene Gate-Source Spannungen. Die Ausgangskennlinie beschreibt den Drain-Source Strom als Funktion der Drain-Source Spannung.

Die erste Kennlinie zeigt den Strom für  $V_{gs1} = 0$ . Der Strom ist null für alle  $V_{ds}$  - Spannungen.

Zweite Kennlinie zeigt  $I_{ds}$  für  $V_{gs2} < VDD$ .

Die dritte Kennlinie zeigt den Strom für  $V_{gs3} = VDD$ . Die Kennlinie ist eine Parabel, der Strom steigt für  $V_{ds} > VDD - V_{th}$  nicht mehr.

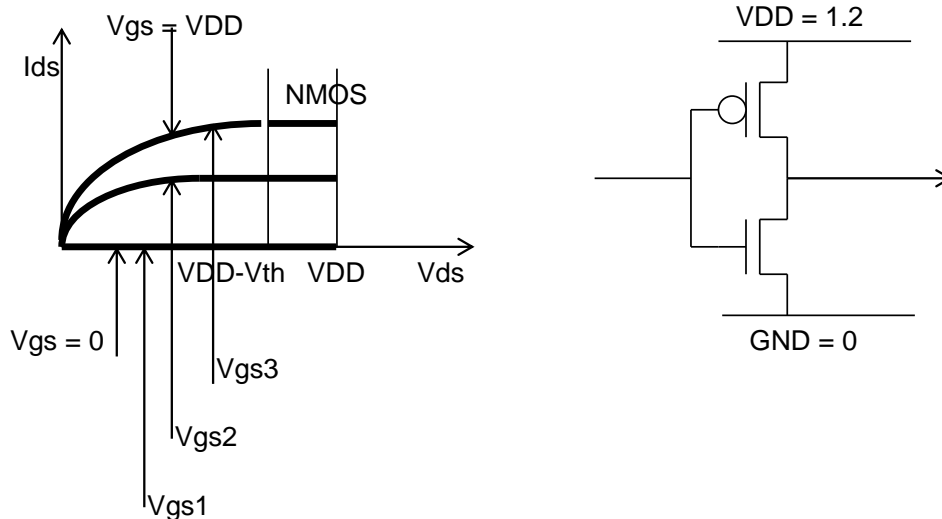


Abbildung 19: Ausgangskennlinien.

Wir sehen also, dass sich der Transistor wie ein spannungsabhängiger Widerstand verhält. Sein Widerstand wird für größere  $V_{ds}$  größer (Abbildung 20).

Warum ist das so?

Wir haben erwähnt, dass eine positive Gate-Source Spannung die Elektronen anzieht und einen Kanal zwischen Source und Drain bildet. Dieser Kanal leitet. Wenn der Strom fließt, gibt es auch eine Spannungsänderung im Kanal. Am Kanal-Anfang in der Nähe von Source ist das Kanal-Potential gleich dem Source Potential. Am Kanalende in der Nähe von Drain ist das Kanal-Potential höher. In Abbildung 21 wird ein höheres Potential als höhere Lage dargestellt.

Eine kleinere Spannung zwischen dem Gate und dem Kanal nahe Drain führt dazu, dass die Elektronen im Kanal weniger die „Anziehungskraft“ des Gates spüren. Deshalb ist die Elektronen-Dichte am Kanal-Ende niedriger und der Widerstand des Kanals wird höher.

Deshalb wird der effektive Widerstand des Kanals höher, wenn stärker Strom durch ihn fließt (bzw. wenn das Drain-Potential erhöht wird). Für einen bestimmten Stromwert wird der Widerstand am Kanal-Ende unendlich und der Strom kann nicht weiter steigen. Der Kanal wird „abgeschnürt“, der Transistor befindet sich dann in Sättigung. Der Drain Strom hängt nicht mehr von  $V_{ds}$  ab. Dieser Effekt wird in analogen Schaltungen benutzt, um Verstärker zu realisieren. In digitaler Elektronik ist dieser Effekt (Sättigung) für die Funktionalität unwichtig, er beeinflusst nur die Umladezeit.

Es kann hergeleitet werden, dass der Transistorstrom mit folgender Gleichung beschrieben werden kann:

$$I_{ds} = \mu C_{ox} \frac{W}{L} ((V_{gs} - V_{th})V_{ds} - \frac{1}{2}V_{ds}^2) \quad (1)$$

Die Steigung am Anfang der  $I_{ds}(V_{ds})$  Kennlinie ist:

$$\mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})$$

Für  $V_{gs} < V_{th}$  ist der Strom null – der Transistor sperrt.

Für  $V_{gs} > V_{th}$  ist der Transistor in Sättigung.

Der Sättigungsstrom ist:

$$I_{ds} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

Die Formel (1) kann man wie folgend erklären:

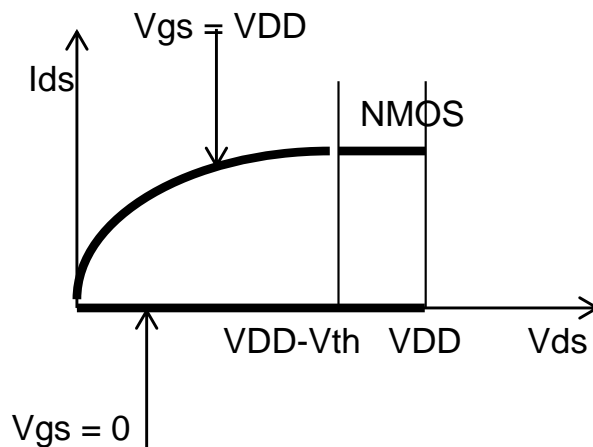


Abbildung 20: Der Widerstand wird für größere  $V_{ds}$  größer.

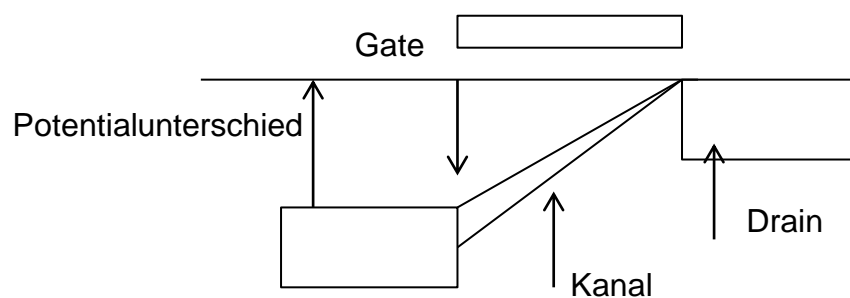


Abbildung 21: Die Dichte der Ladungsträger im Kanal wird kleiner.

Für höhere  $V_{gs}$  Spannung gibt es mehr Elektronen im Kanal – der spezifische Leitwert ist höher, der Widerstand ist kleiner und der Strom steigt (Abbildung 22). Dieses Verhalten ist mit dem Faktor  $V_{gs} - V_{th}$  beschrieben.

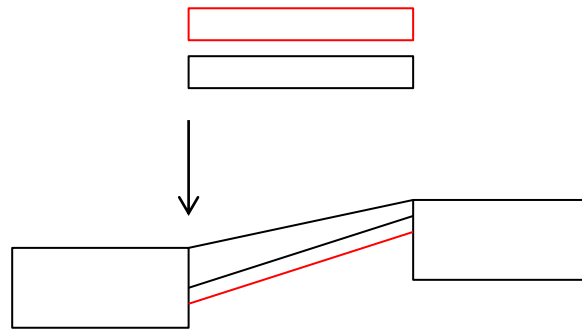


Abbildung 22: Für höhere  $V_{gs}$  Spannung gibt es mehr Elektronen im Kanal.

Die Faktoren  $W/L$  und  $\mu$  in (1) beschreiben, dass der Widerstand bzw. der Leitwert des Kanals von der Geometrie der Gate-Elektrode (Abbildung 23) und der Mobilität (Beweglichkeit) der Elektronen (Abbildung 24) abhängig ist. Größere Stromfläche  $W \times t$  ( $t$  ist Dicke des Kanals) bedeutet mehr Strom und ein längerer Kanal ( $L$ ) weniger Strom.

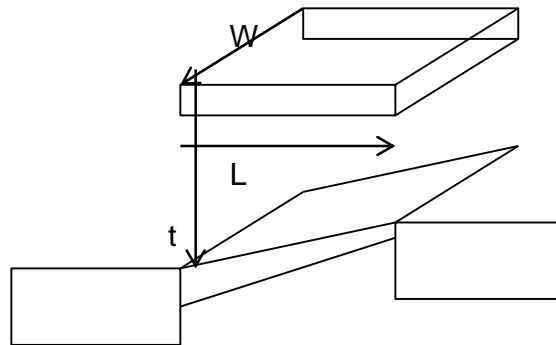


Abbildung 23: Der Leitwert des Kanals ist von der Geometrie der Gate-Elektrode abhängig.

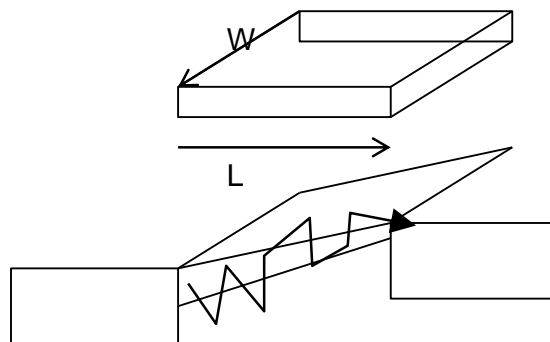


Abbildung 24: Der Leitwert des Kanals ist von der Mobilität der Ladungsträger abhängig.

Der Faktor  $V_{ds}^2/2$  in (1) modelliert die Erhöhung des Widerstands beim  $V_{ds}$ -Anstieg. Der Strom steigt immer langsamer.

Faktor  $C_{ox}$  in (1) ist die Oxidkapazität pro Fläche (Kapazitätsbelag). So größer diese Kapazität ist, desto mehr Ladung haben wir im Kanal für eine gegebene  $V_{gs}$  Spannung (Abbildung 25).



Die Dicke des Kanals  $t$  ist im Faktor  $C_{ox} \times (V_{gs} - V_{th})$  enthalten, da dieser Faktor die Ladungsdichte  $\times t$  ergibt. Deshalb taucht die Dicke  $t$  in der endgültigen Formel nicht.

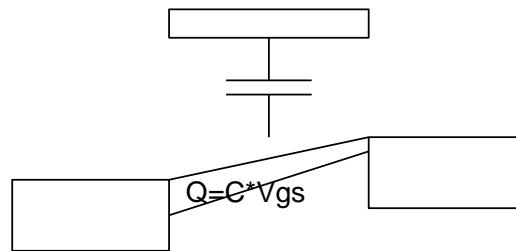


Abbildung 25: So größer die Oxid-Kapazität ist, desto mehr Ladung haben wir im Kanal für eine gegebene  $V_{gs}$  Spannung.

Folgendes ist wichtig:

Man kann den Leitwert des Transistors erhöhen, indem man  $W/L$  erhöht. Man kann den Transistor nach dem Bedarf breiter oder kürzer machen. Die Beweglichkeit der Löcher ist etwa  $2\times$  niedriger, deshalb leitet ein PMOS mit gleichem  $W/L$  Verhältnis etwa  $2\times$  schlechter. Das soll beim Design berücksichtigt werden.

### Herleitung der DC-Kennlinie

Die DC-Kennlinie des Inverters bekommt man, wenn man auf einem Graph die Kennlinien  $I(V_{ds})$  von dessen PMOS- und NMOS-Transistoren zeichnet.

Für den gemeinsamen Graph gilt:

$V_{ds}$  des NMOS Transistors ist gleichzeitig  $V_{out}$  (Abbildung 26, links)

$V_{gs}$  des NMOS Transistors ist gleichzeitig  $V_{in}$ .

$V_{ds}$  (Betrag) des PMOS Transistors ist gleichzeitig  $VDD - V_{out}$ . (Abbildung 26, rechts)

$V_{gs}$  (Betrag) des PMOS ist  $VDD - V_{in}$

Die Schwelle-Spannungen (Betragsmäßig) von NMOS und PMOS sind ungefähr gleich.

Wenn wir annehmen, dass  $W/L$  des PMOS Transistors etwa  $2\times$  größer ist als  $W/L$  vom NMOS, sind die Faktoren  $\mu C_{ox} W/L$  gleich und die Kennlinien gegen  $VDD/2$  spiegelsymmetrisch.

Wenn wir annehmen, dass die Transistorströme gleich sind ( $I_{ds,NMOS} = I_{ds,PMOS}$ ) (es fließt kein DC-Strom nach außen - die Last ist kapazitiv), befindet sich  $V_{out}$  im Schnittpunkt beider Kennlinien.

Man kann die DC-Kennlinie wie folgend herleiten.

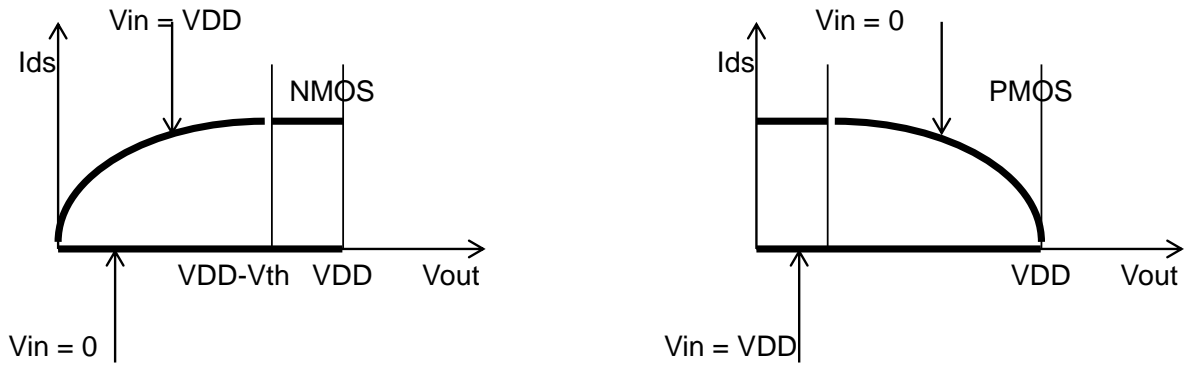


Abbildung 26: Rechts: Die Kennlinie des NMOS Transistors im Inverter. Links: Die Kennlinie des PMOS Transistors im Inverter.

Für  $V_{in} < V_{th}$ , leitet der NMOS nicht und  $V_{out} = VDD$  (Abbildung 27).



Abbildung 27: Links: Ausgangskennlinien von zwei Transistoren. Rechts: Kennlinie des Inverters.  $V_{in} < V_{th}$ .

Für  $V_{in} > VDD - V_{th}$  leitet der PMOS nicht und  $V_{out} = 0$  (Abbildung 28).

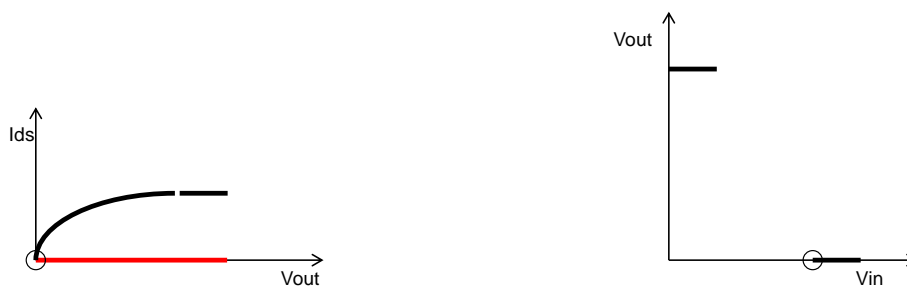


Abbildung 28: Links: Ausgangskennlinien von zwei Transistoren. Rechts: Kennlinie des Inverters.  $V_{in} > VDD - V_{th}$ .

Im Bereich  $V_{th} < V_{in} < VDD - V_{th}$  leiten beide Transistoren (Abbildung 29).

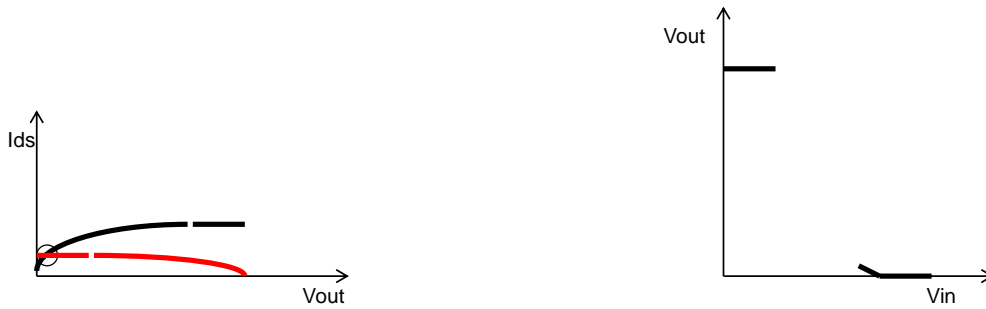


Abbildung 29: Links: Ausgangskennlinien von zwei Transistoren. Rechts: Kennlinie des Inverters. Beide Transistoren sind leitend.

Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind. (Abbildung 30)

Der NMOS Transistor ist in Sättigung für  $V_{ds} > V_{gs} - V_{th}$ , also  $V_{out} > V_{in} - V_{th}$ . Dieser Bereich ist in grau Abbildung 30 gekennzeichnet.

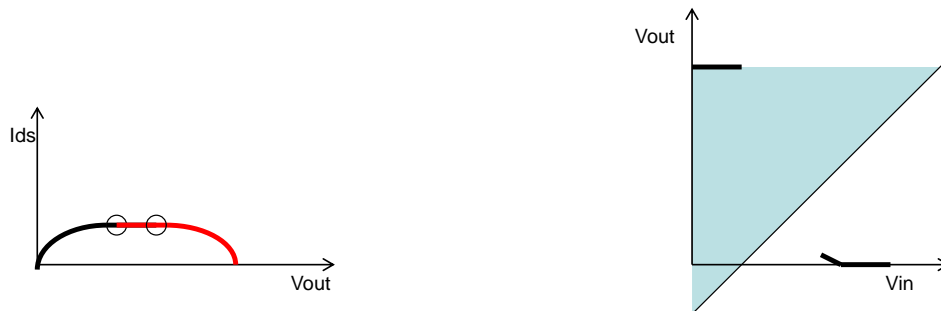


Abbildung 30: Links: Ausgangskennlinien von zwei Transistoren. Rechts: Kennlinie des Inverters. Die Kennlinie ist besonders steil im Bereich, wo beide Transistoren in Sättigung sind. Die graue Fläche zeigt den Sättigungsbereich für NMOS.

Der PMOS Transistor ist in Sättigung für  $|V_{ds}| > |V_{gs}| - |V_{th}|$  also  $V_{out} < V_{in} + V_{th}$  (Abbildung 31).



Abbildung 31 Links: Ausgangskennlinien von zwei Transistoren. Rechts: Kennlinie des Inverters. Die graue Fläche zeigt den Sättigungsbereich für PMOS.

Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind (Abbildung 32). Abbildung 33 zeigt die endgültige Kennlinie des Inverters.

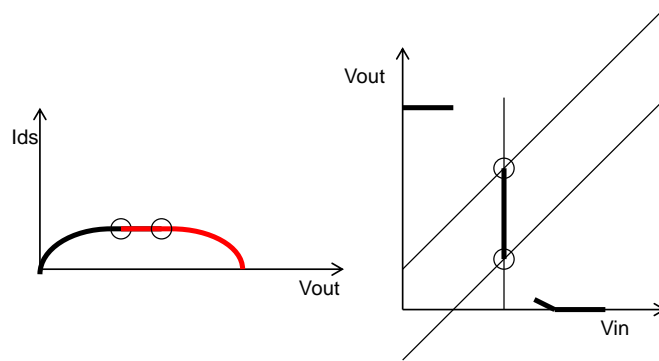


Abbildung 32 Links: Ausgangskennlinien von zwei Transistoren. Rechts: Kennlinie des Inverters.

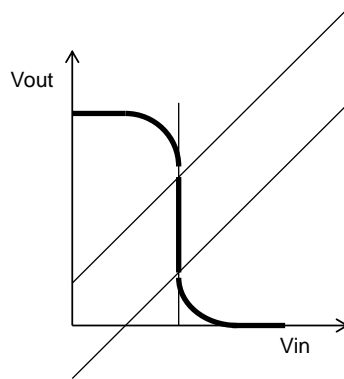


Abbildung 33: Kennlinie des Inverters.

Abbildung 34 zeigt die Kennlinien von zwei Inverter mit verschiedenen W/L-Faktoren.

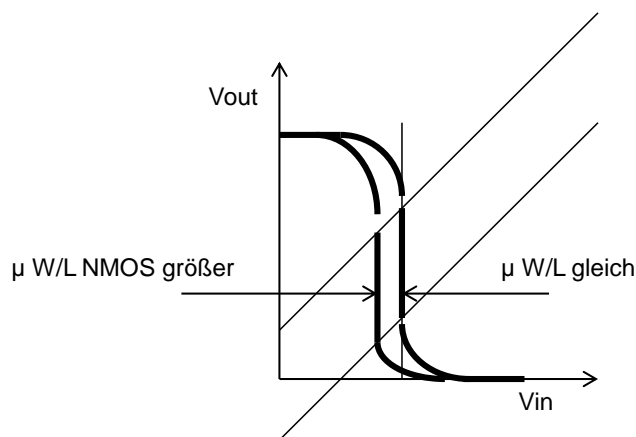


Abbildung 34: Kennlinien von zwei Inverter.

Aus Abbildung 33 sehen wir, dass die Inverter-Kennlinie stark nichtlinear ist.

Das ist bei einem Inverter aus folgenden Gründen erwünscht.

Wir möchten, dass für eine Eingangsspannung, die der logisch 1/0 entspricht, der Ausgang logisch 0/1 ist.

Wie definieren wir logische Niveaus?

Logisch Eins könnte z.B. als  $V > V_{DD} - V_{th}$  definiert werden, logisch Null als  $V < V_{th}$ .

Abbildung 35 zeigt Logische Niveaus am Eingang und am Ausgang des Inverters.

Wir sehen, dass wenn Eingang 1/0 ist, der Ausgang innerhalb des Null/Eins-Bereichs liegt. Es gibt auch einen Sicherheitsabstand. Nämlich für  $V_{in} < V_{th}$  folgt  $V_{out} \sim V_{DD}$ .

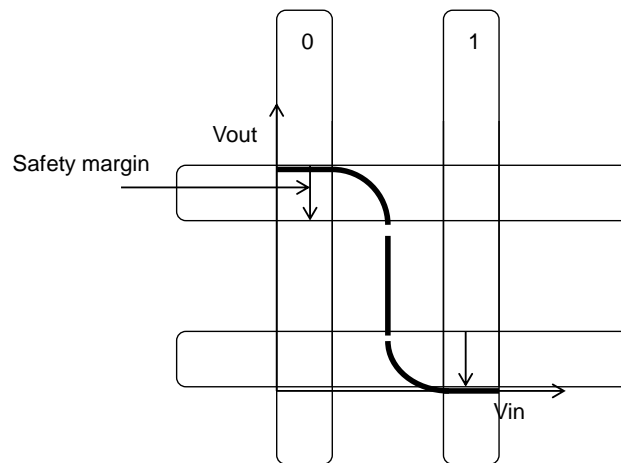


Abbildung 35 Logische Niveaus am Eingang und am Ausgang des Inverters.

Solch einen Sicherheitsabstand gibt es nur, wenn die Kennlinie nichtlinear ist. Abbildung 36 und Abbildung 37 illustrieren das.

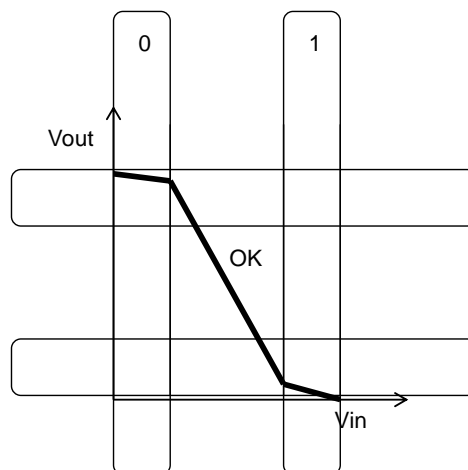


Abbildung 36: Weniger Sicherheitsabstand.

Eine vollständig lineare Kennlinie würde keinen Sicherheitsabstand bieten – wie in Abbildung 37 dargestellt.

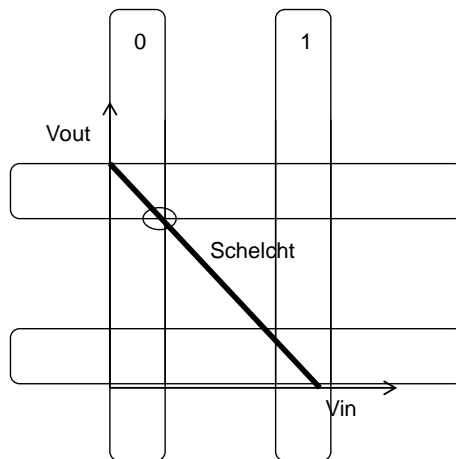


Abbildung 37: Eine vollständig lineare Kennlinie würde keinen Sicherheitsabstand bieten

### Realisierung des Inverters

Wie sieht ein Inverter in Wirklichkeit aus?

Die MOSFET Transistoren haben die folgenden Kontakte: Source, Drain, Gate.

Der NMOS befindet sich in einem P-Typ Substrat, der PMOS in einem N-Typ Substrat.

Normalerweise wird ein Chip auf einem p-Substrat gemacht. Das heißt, für einen PMOS wird ein lokales n-Typ-Substrat gebraucht. Dieses lokale Substrat nennen wir n-Wanne. Oft befinden sich auch NMOS Transistoren in lokalen p-Wannen, die stärker dotiert als das p-Substrat sind.

Abbildung 38 zeigt ein 3-D Bild des CMOS Inverters.

Zusätzlich zu Source, Drain und Gate, haben wir auch die Substratkontakte (Bulk). Das sind die, so genannten, ohmschen (Tunneleffekt-) Kontakte: p+ Diffusionskontakt in P-Substrat und n+ „Diffusion“ in N-Wanne.

Beachten wir auch, dass sich in allen Bereichen wo wir keine Diffusionslagen haben „Gräben“ befinden, die mit SiO<sub>2</sub> gefüllt sind (engl. Trench-Oxide oder das Feldoxid). Diese Gräben dienen zur Isolierung von Transistoren.

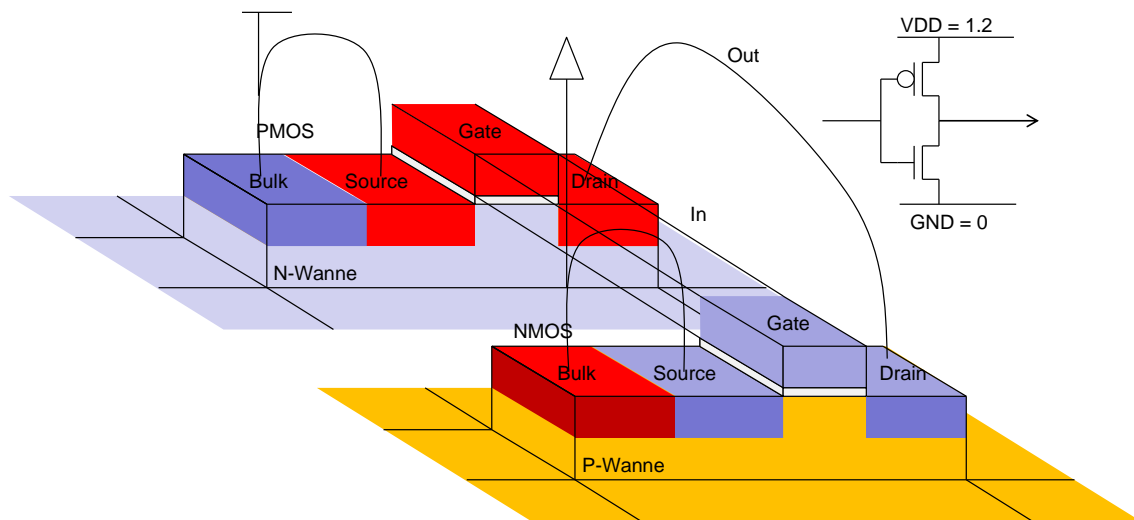


Abbildung 38: 3-D Bild des CMOS Inverters.

Abbildung 39 zeigt die technische Zeichnung – das Layout, die für Fertigung des CMOS Inverters benutzt wird. Im Layout werden alle Lagen als Draufsicht zweidimensional übereinander gezeichnet. Es gibt dabei einige Besonderheiten. Nicht alle Lagen werden gezeichnet. Z.B., wir zeichnen nicht direkt die N- und P-Diffusionsbereiche, sondern nur die Bereiche mit dem dünnen- Gateoxid und dem dicken Feldoxid. Die Bereiche innerhalb der Lage „Diffusion“ enthalten das dünne Oxid, die Bereiche draußen, das dicke Feldoxid.

Wenn ein Bereich mit dem dünnen Oxid noch mit der Lage „NPLUS“ umgeben wird und wenn es darüber keine „Poly“ Lage befindet - wird aus dem Bereich ein n+ Diffusionskontakt. Das kann ein NMOS Source/Drain oder ein P-Substrat kontakt sein.

Der Überlapp von „Diffusion“-Lage, dem „Poly“ und dem „NPLUS“ bildet ein NMOS Gate.

Ein „CA“ (Kontakt) über einer „Poly“ – Lage ist ein Polysilizium – Metall 1 (M1) Kontakt.

Ein CA über einem Diffusionskontakt ist der Kontakt zwischen dem Silizium-Substrat und der ersten Metalllage.

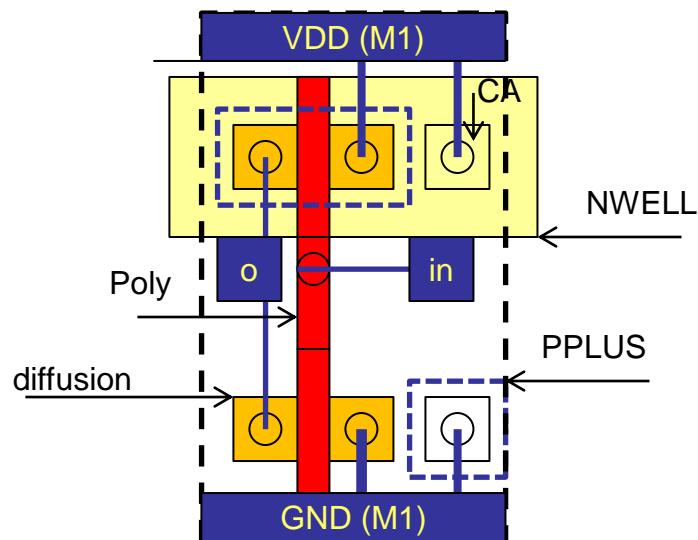


Abbildung 39: Layout des Inverters.

Wenn wir einen Inverter als Teil einer Standardzellenbibliothek verwenden möchten, müssen wir dafür sorgen, dass die Synthese Tools solche Inverter leicht nebeneinander platzieren können. Das heißt z.B., die Verbindungen für VDD oder GND sollen übereinstimmen. Man darf normalerweise nur die erste Metalllage (M1) für die internen Verbindungen verwenden (VDD, GND, Drains, Gates), so dass die Standardzellen mit weiteren Metalllagen verbunden werden können. Es ist auch wichtig, dass sich die Eingänge und die Ausgänge an zugänglichen Stellen befinden, die in einer Textdatei definiert werden. Generell gilt, die Höhe von allen Standardzellen ist gleich. Die Breite von Standardzellen ist ein Vielfaches einer Breitereinheit (Abbildung 40). Das ermöglicht den Tools eine leichte Platzierung der Standardzellen.

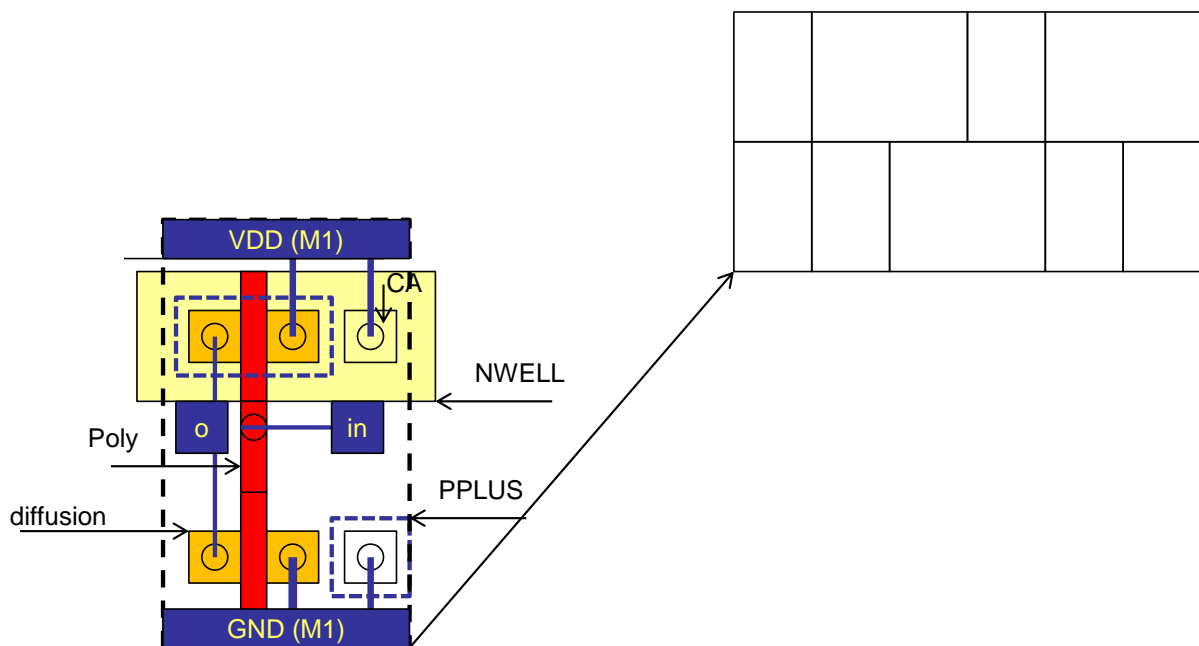
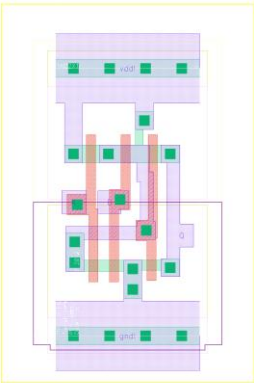


Abbildung 40: Inverter als Standardzelle



Abbildung 41 zeigt das Layout eines AND-Gates.



*Abbildung 41: Layout einer echten Standardzelle*