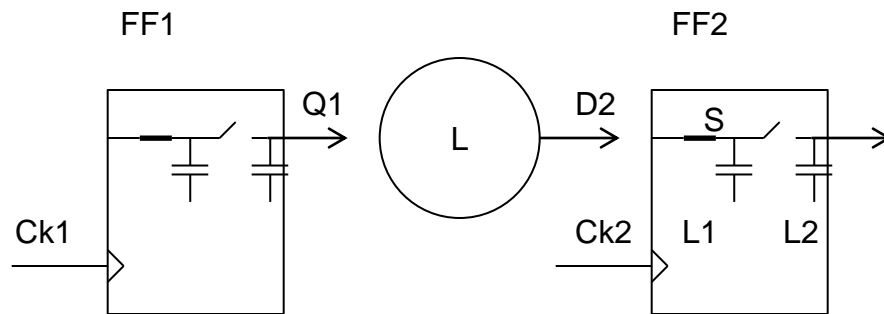


Vorlesung 6

Setup und Hold Zeit

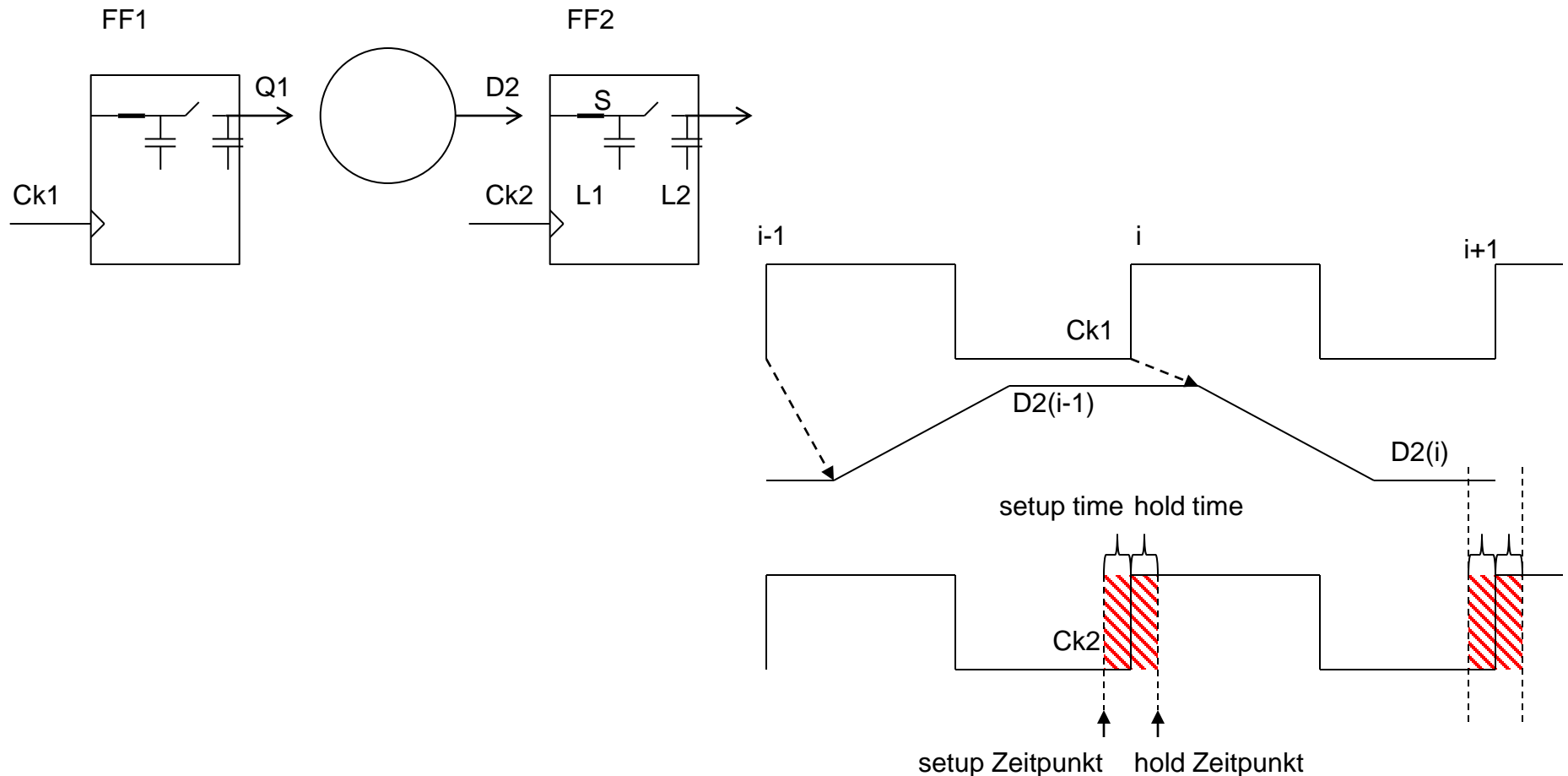
...

- Zwei Flipflops (FF) und die kombinatorische Logik (L) dazwischen
- FF1 ist die Quelle des Signals, FF2 empfängt das Signal
- Wann darf sich D2 ändern?



...

- D2 Logikniveau muss setup Zeit vor der Ck2-Taktflanke bereitstehen und soll eine hold Zeit nach der Ck2-Taktflanke gehalten werden

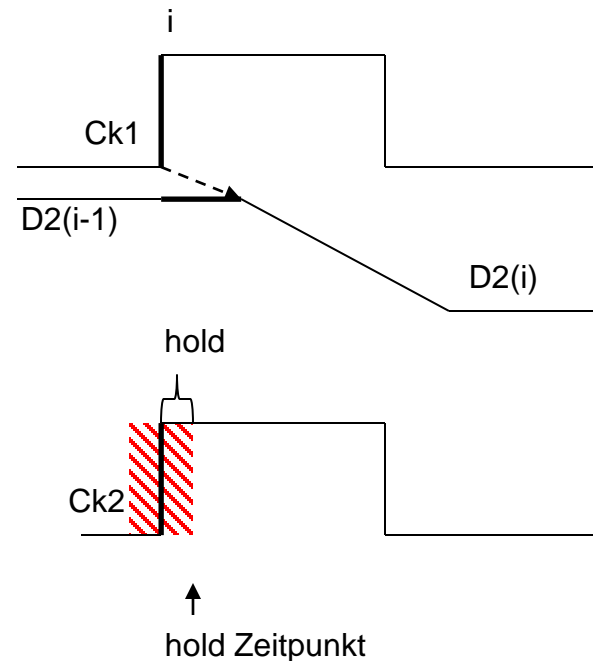
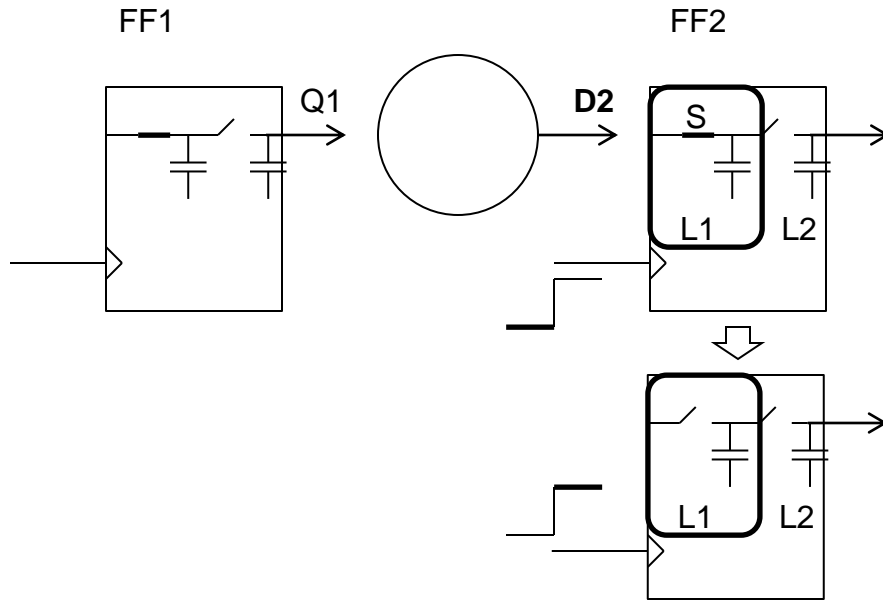


S:

geschlossen	?	offen	geschlossen	?
-------------	---	-------	-------------	---

Hold

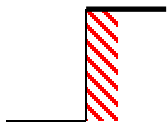
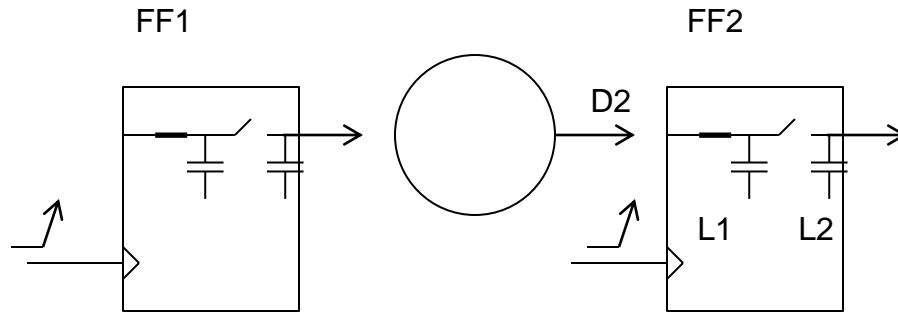
- Hold Fall: wir betrachten gleiche Taktflanke i für FF1 und FF2
- Hold-Regel: Die Änderung am D2: $D2(i-1) \rightarrow D2(i)$ darf nicht anfangen während der Schalter S im Latch1/Flipflop2 geschlossen ist



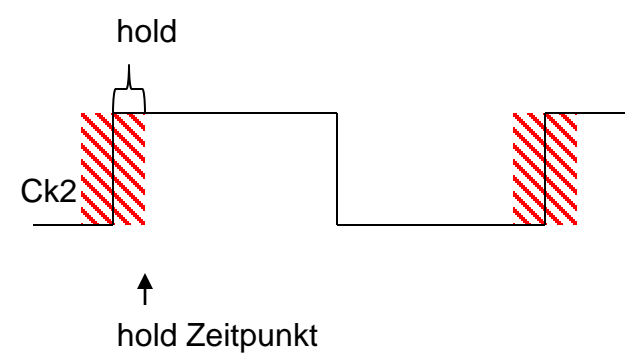
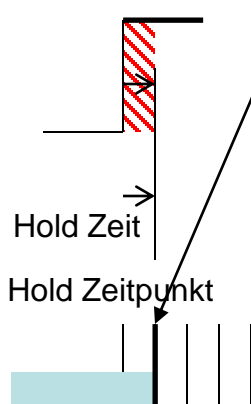
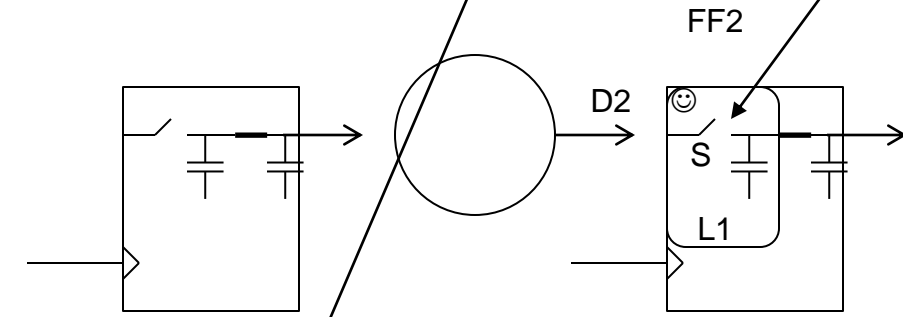
S:

geschlossen	?	offen	geschlossen	?
-------------	---	-------	-------------	---

- Zeitlicher Ablauf von Signalen...

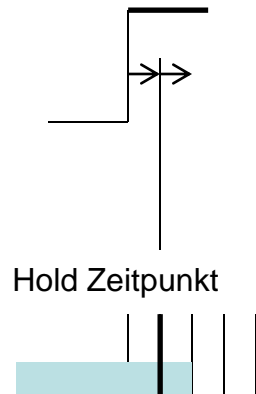
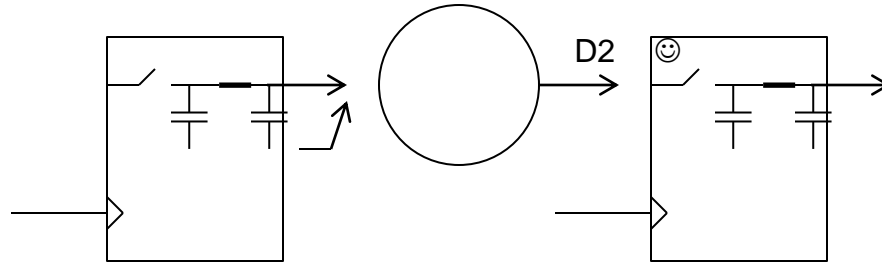


- Wir definieren Hold Zeitpunkt als Moment wo Schalter S mit Sicherheit offen ist
- Ab dem Moment darf sich D2 ändern
- Hold Zeitpunkt = Taktflanke + hold Zeit

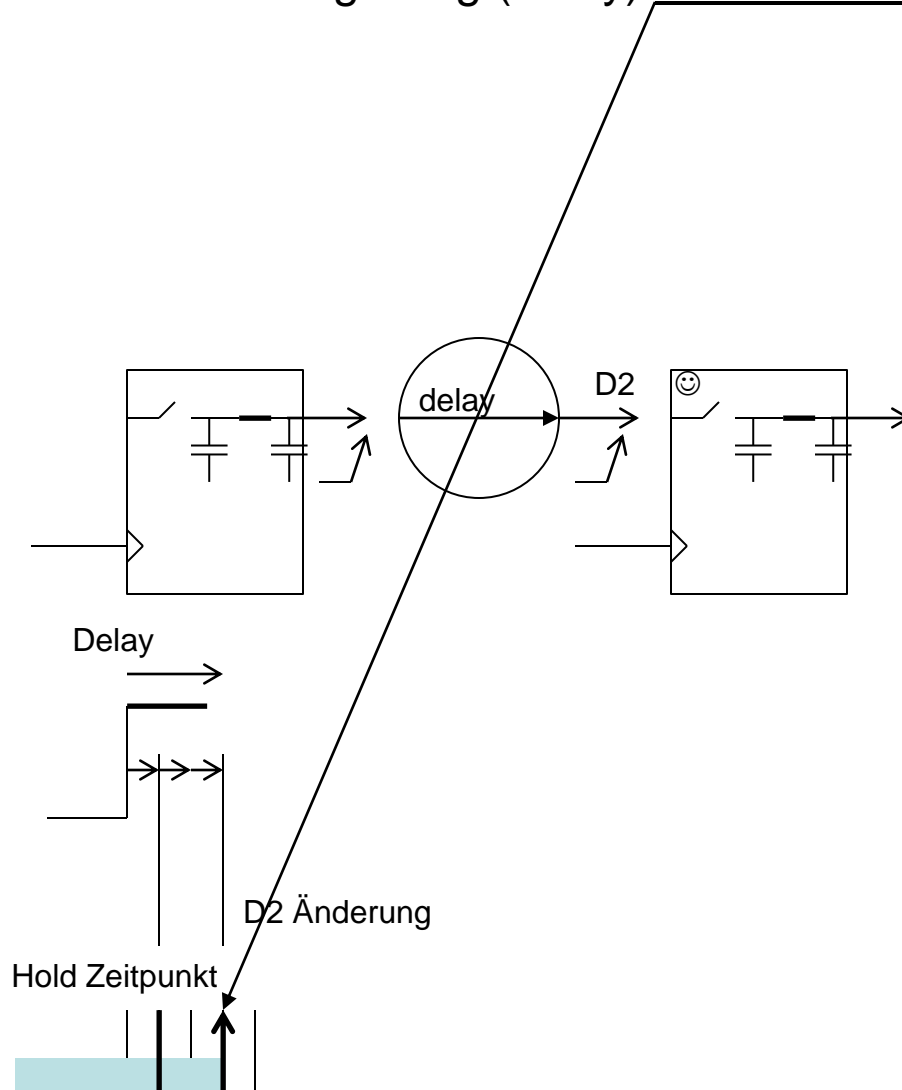


S:

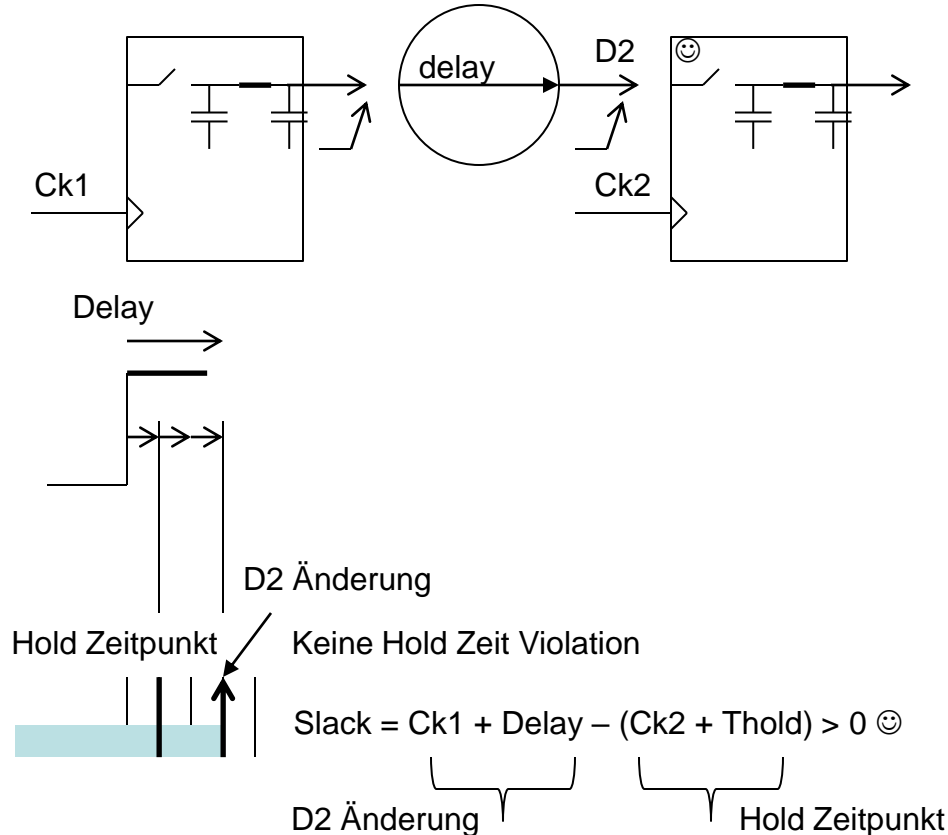
geschlossen	?	offen	geschlossen	?
-------------	---	-------	-------------	---



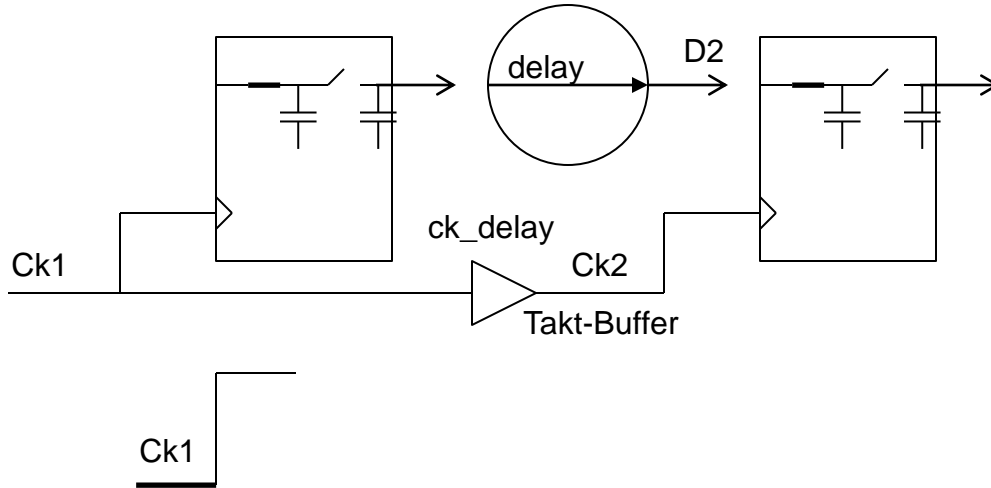
- Nach einer Verzögerung (delay) ändert sich D2



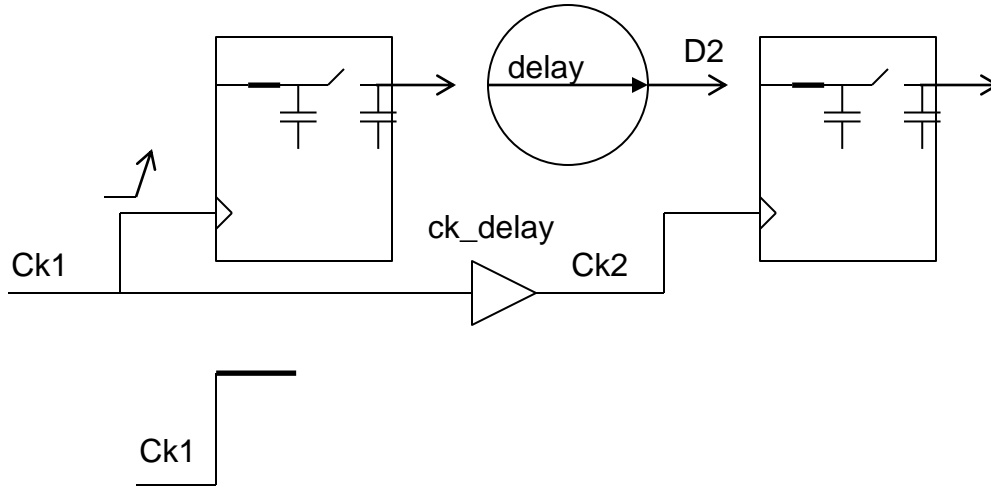
- Wir definieren Hold-Slack als Differenz zwischen der D2 Änderung und dem Hold Zeitpunkt
- Positiver Slack zeigt ob es in Ordnung ist (Slack > 0)



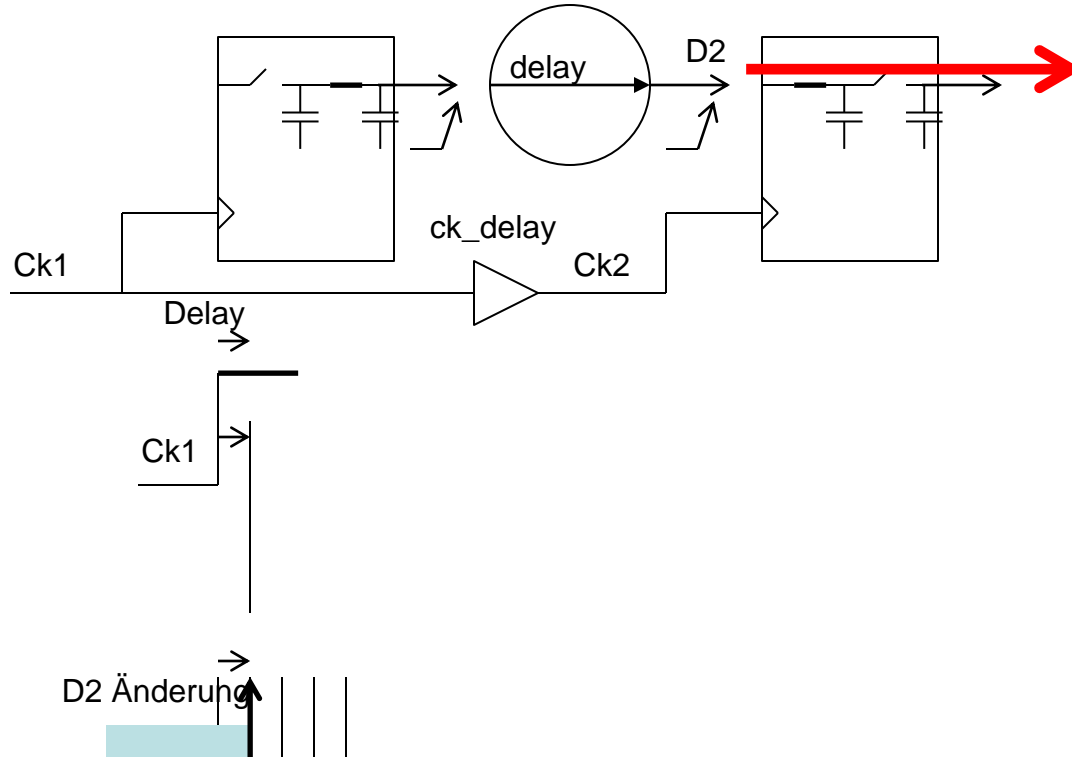
- Hold Time Verletzung / zeitlicher Ablauf



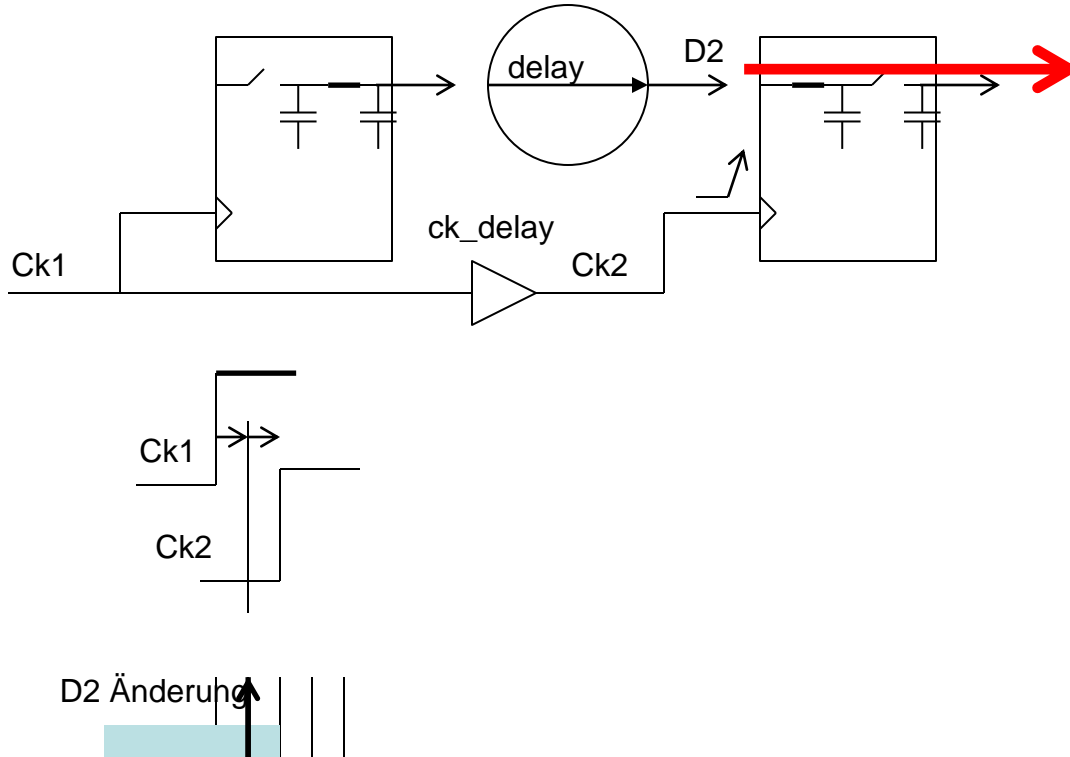
- Hold Time Verletzung



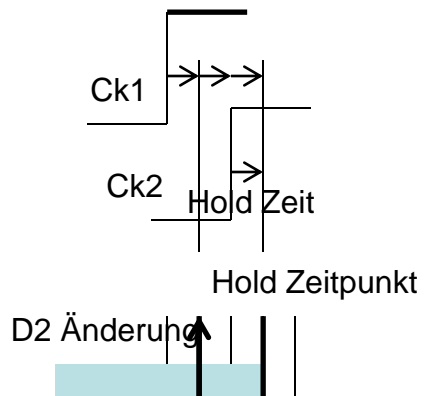
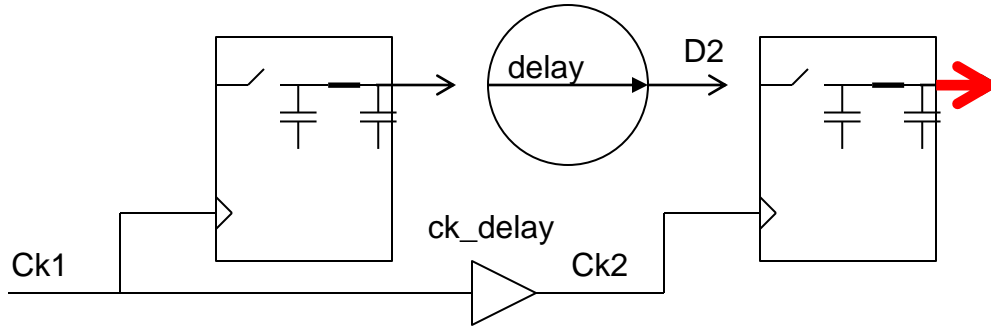
- Hold Time Verletzung
- D2 Änderung



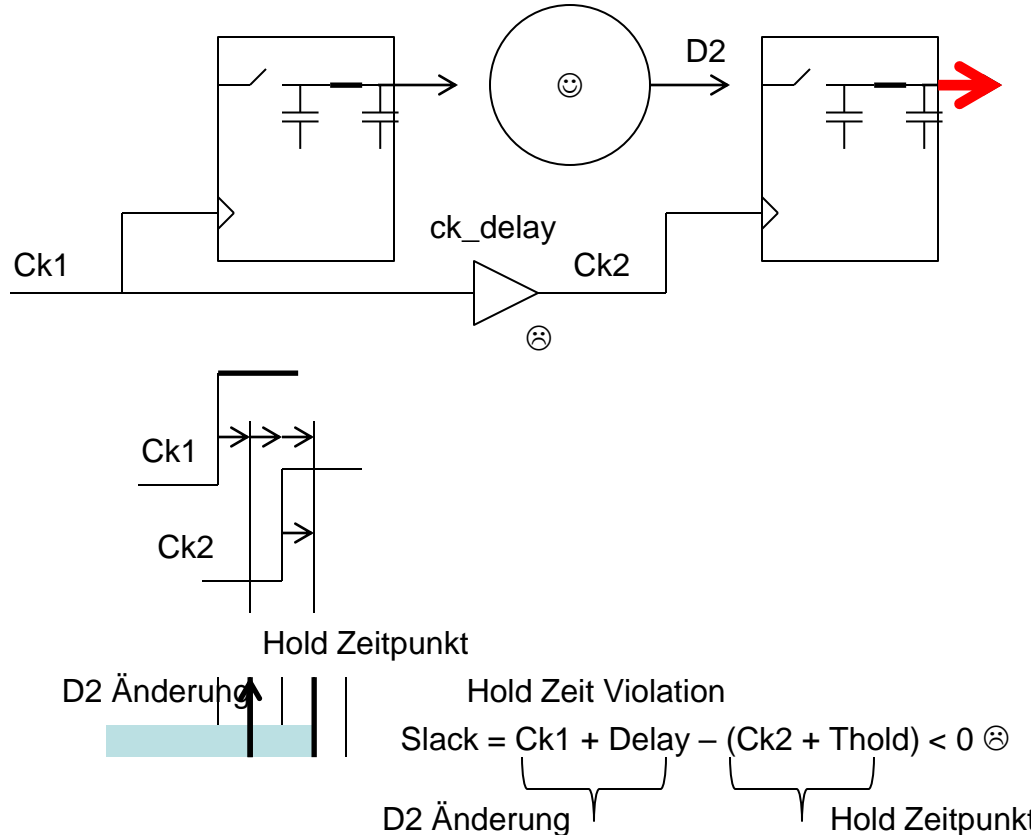
- Hold Time Verletzung



- Hold Time Verletzung
- Hold Zeitpunkt

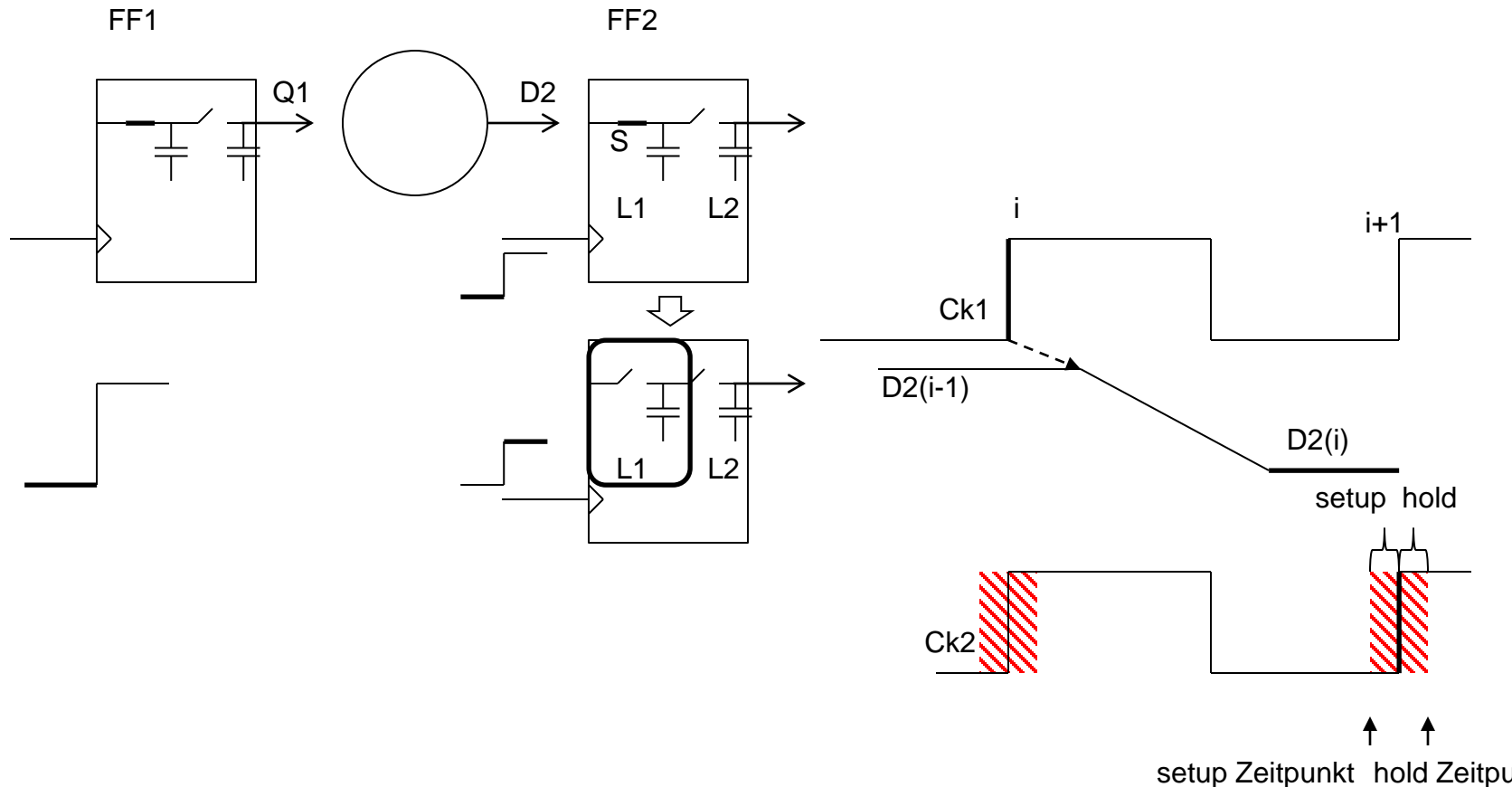


- Hold Time Verletzung passiert wenn sich Niveau am Eingang D2 zu schnell ändert. Die Ursache könnte ein schlechtes Design des Flipflops sein oder, dass der Takt Ck2 später ankommt als Ck1. Das letzte könnte bei einem nichtoptimalen Taktbaum passieren. Verzögerung in der kombinatorischen Logik zwischen den Flipflops hilft.

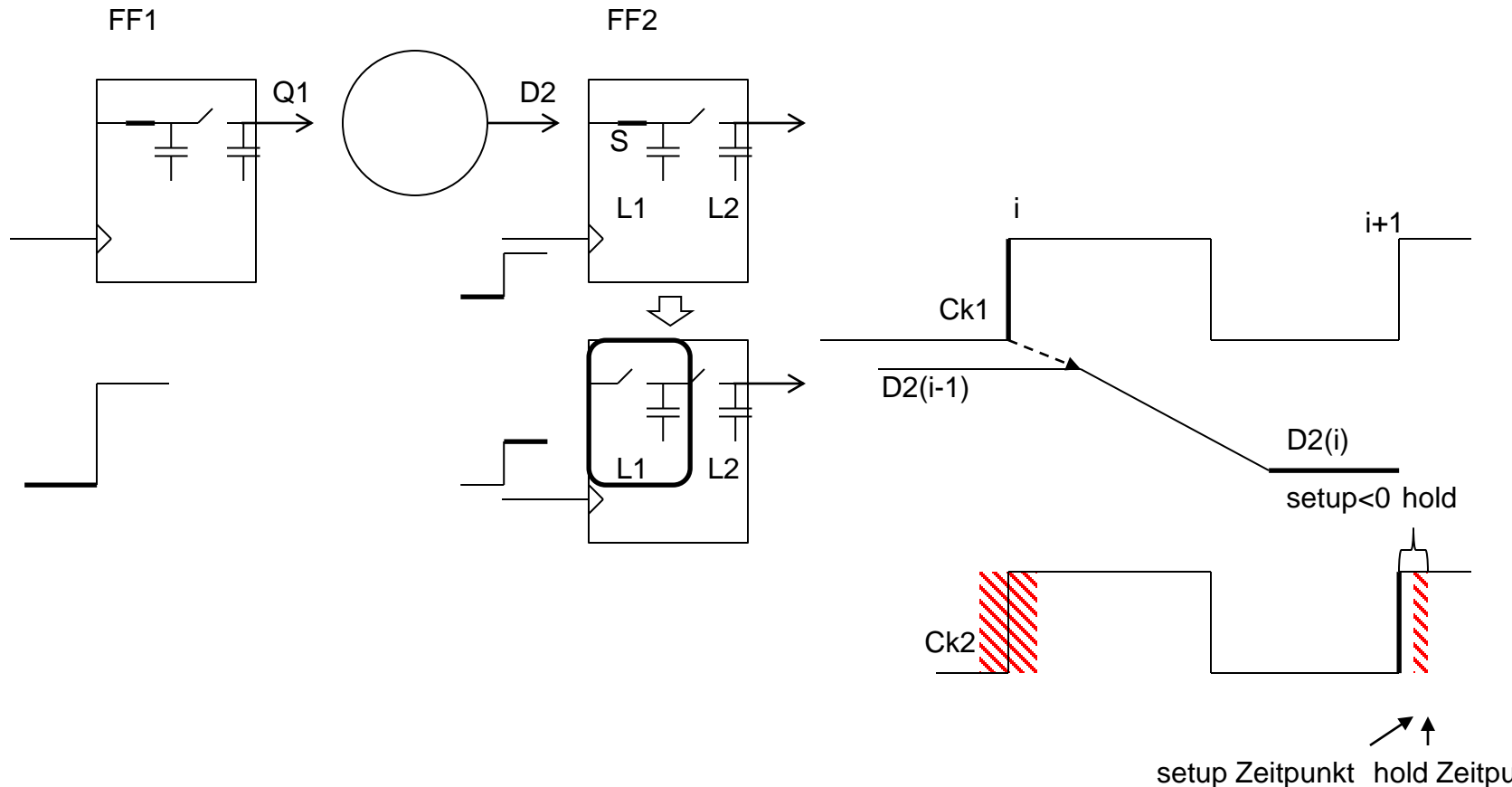


Setup

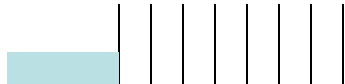
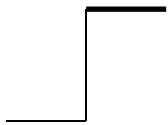
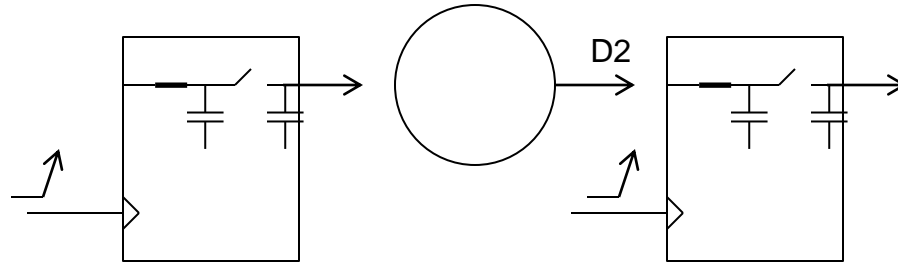
- Setup Fall: wir betrachten Taktflanke Ck1(i) und Ck2(i+1)
- Setup-Regel: Änderung am D2: D2(i-1) -> D2(i) darf nicht zu spät passieren
- ... oder die Änderung am D2 vollzogen werden gewisse Zeit bevor der Schalter im Latch1/Flipflop2 geöffnet wird, damit die Kapazität geladen wird

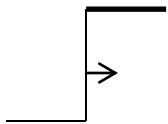
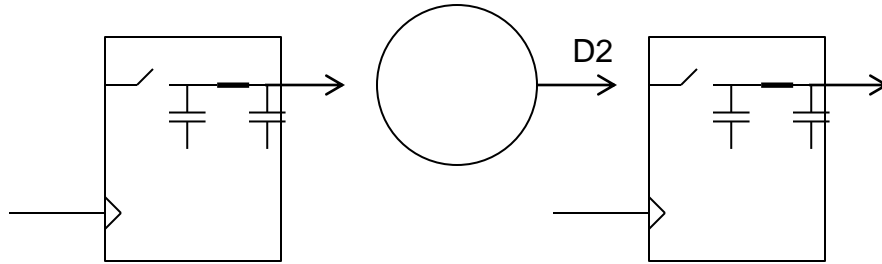


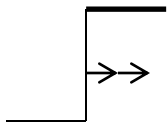
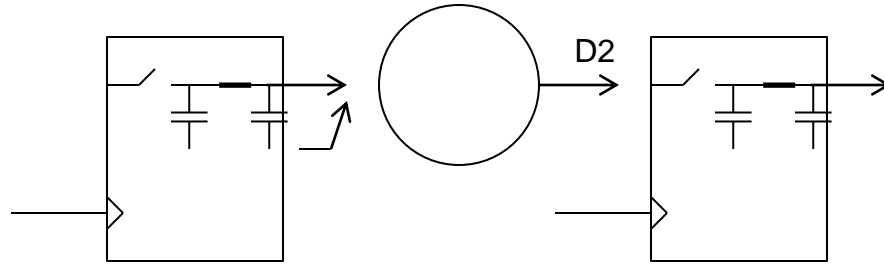
- Setup Fall: wir betrachten Taktflanke Ck1(i) und Ck2(i+1)
- Setup-Regel: Änderung am D2: D2(i-1) -> D2(i) darf nicht zu spät passieren
- ... oder die Änderung am D2 vollzogen werden gewisse Zeit bevor der Schalter im Latch1/Flipflop2 geöffnet wird, damit die Kapazität geladen wird

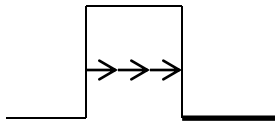
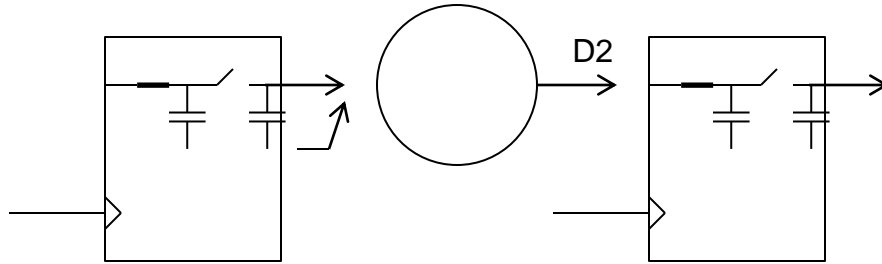


- Zeitlicher Ablauf von Signalen...

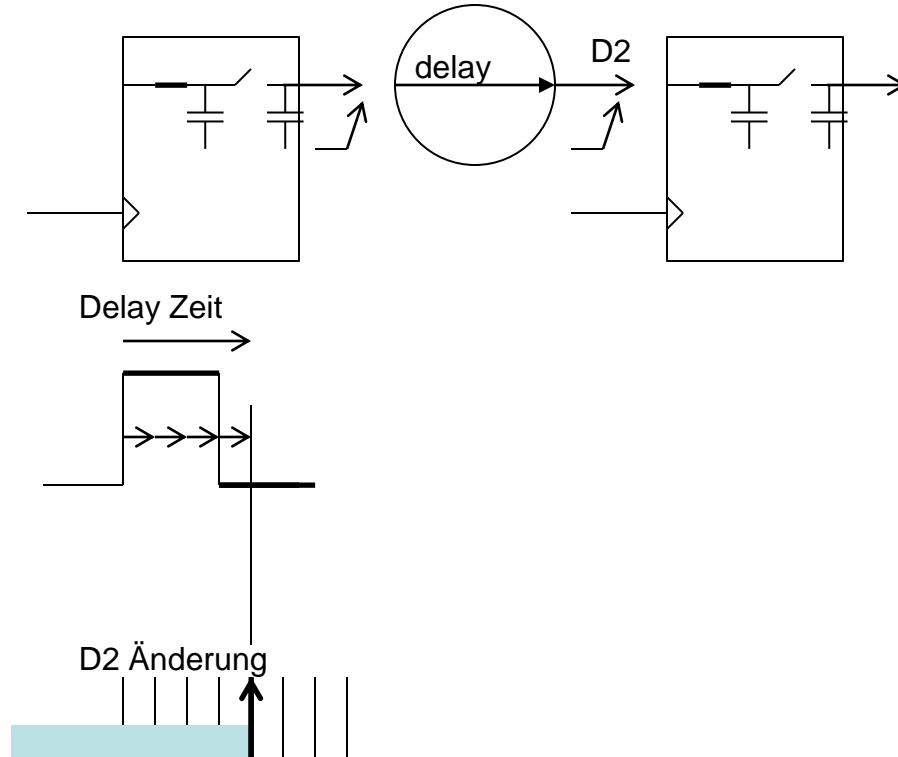




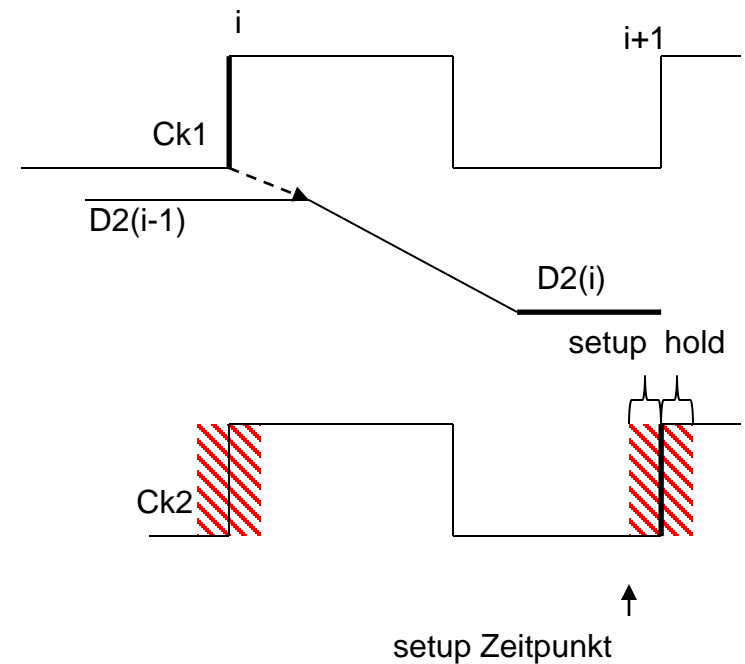
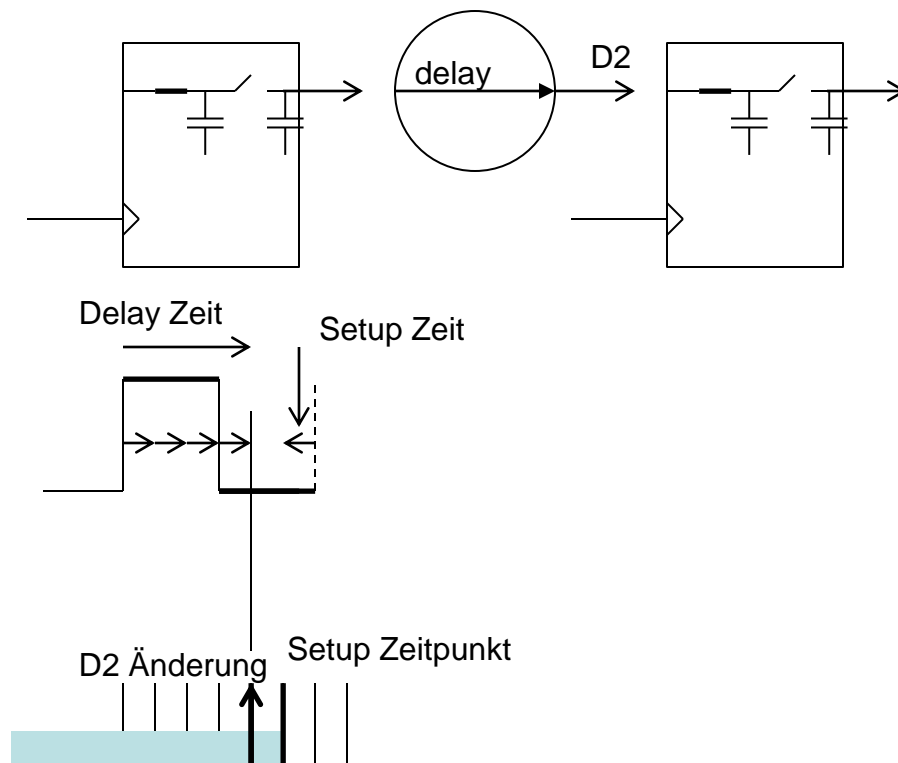


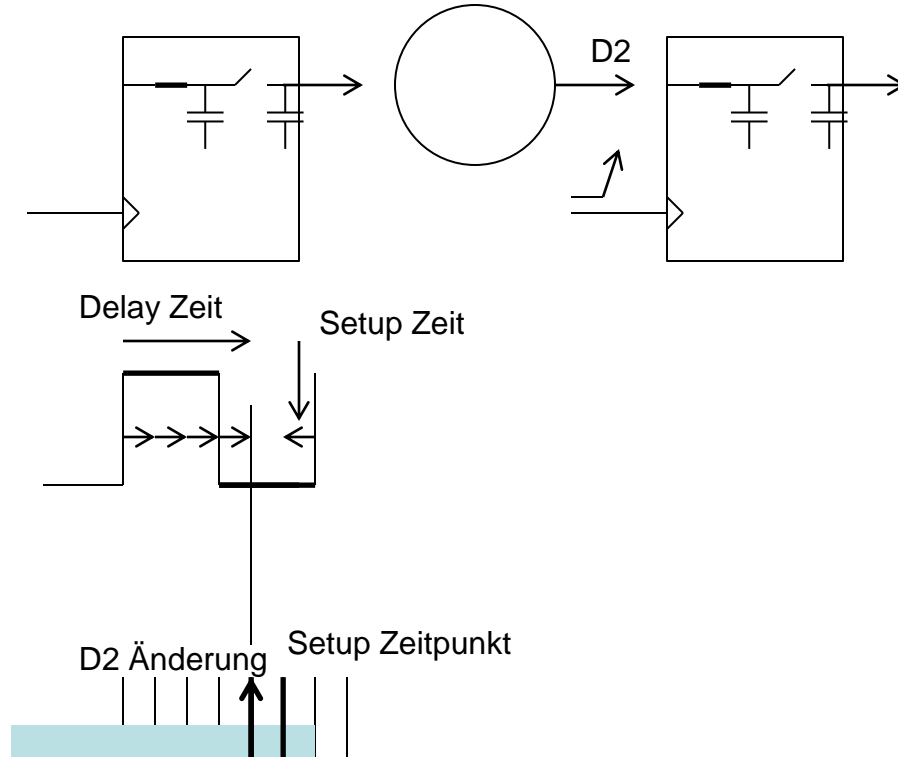


- Nach einer Verzögerung (delay) ändert sich D2

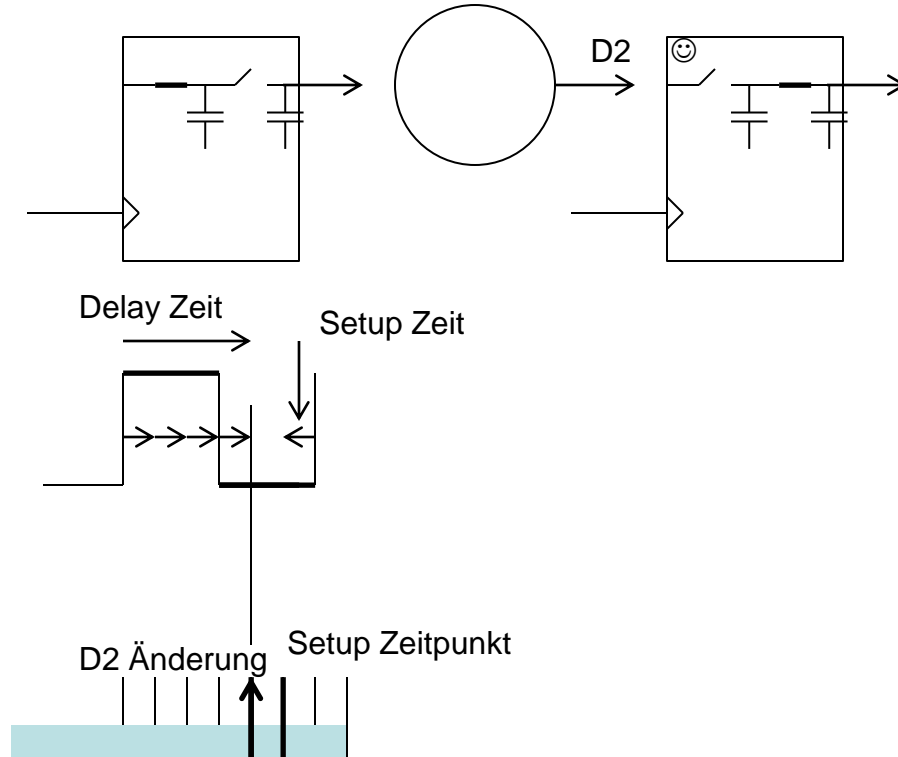


- Wir definieren die Setup-Zeitpunkt als den letzten Zeitpunkt bevor das neue Signal $D2(i)$ ein klares logisches Niveau haben muss
- Setup-Zeitpunkt = Taktflanke - setup Zeit

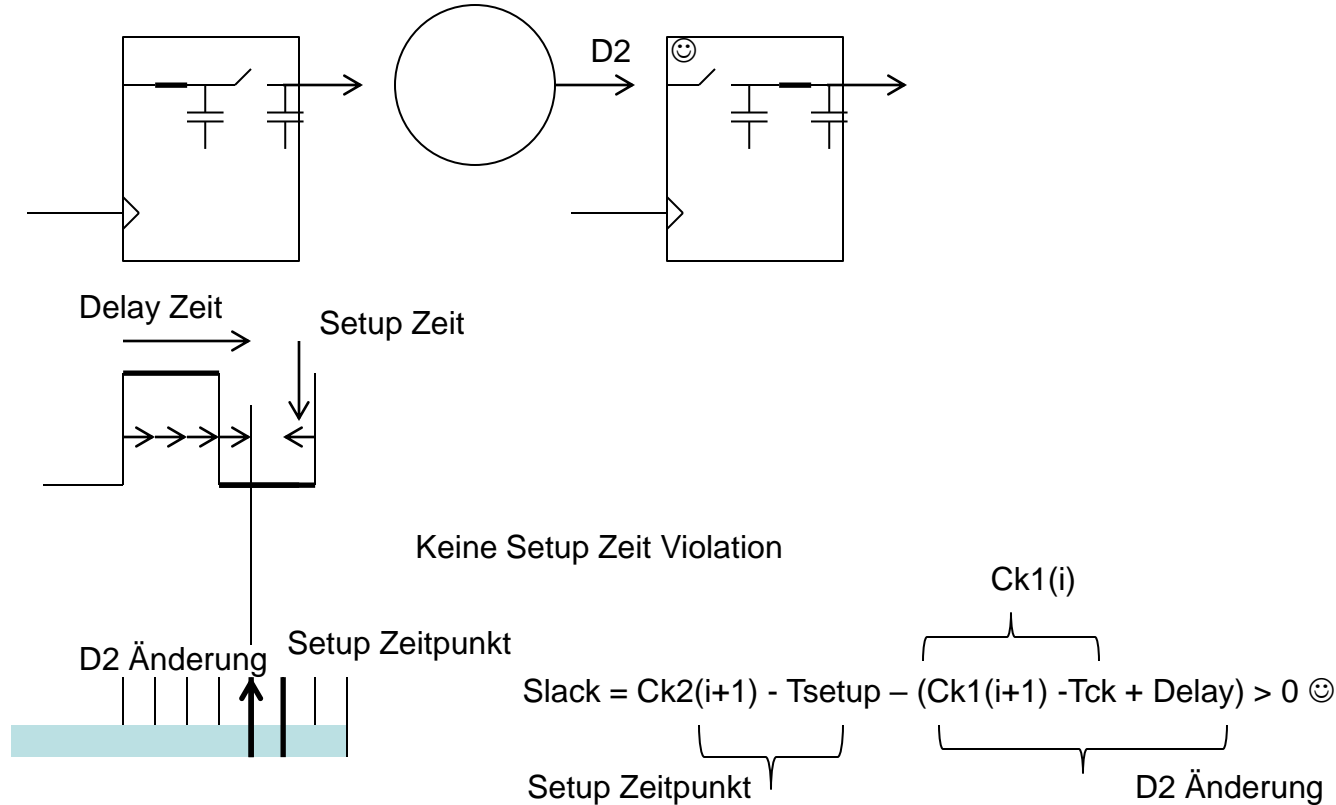




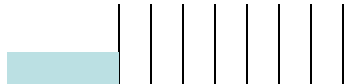
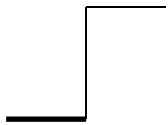
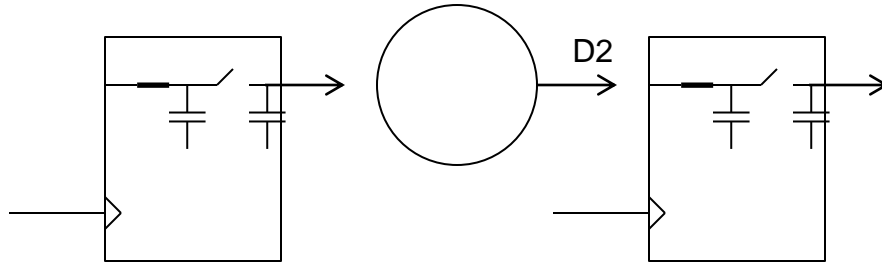
- ...



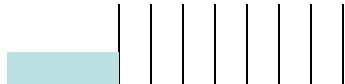
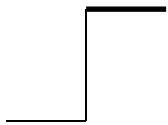
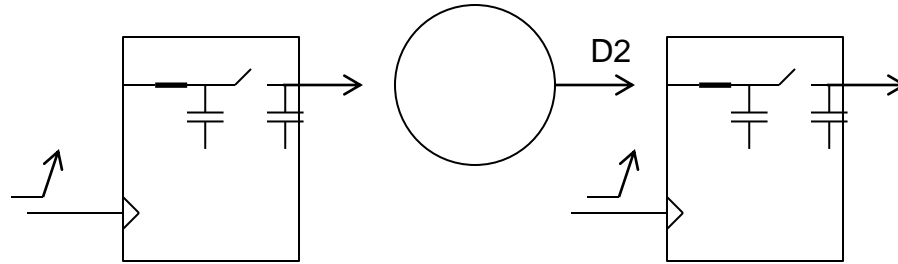
- Wir definieren Slack als Differenz zwischen dem Setup Zeitpunkt und der D2 Änderung
- Positiver Slack zeigt dass es in Ordnung ist (Slack > 0)



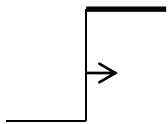
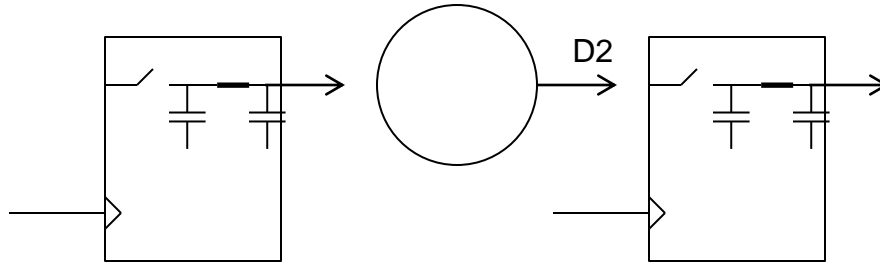
- Setup Zeit Verletzung



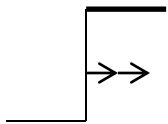
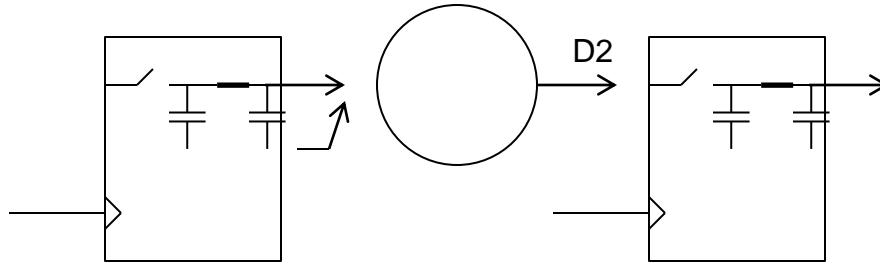
- Setup Zeit Verletzung



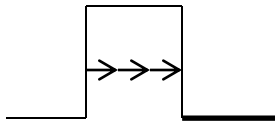
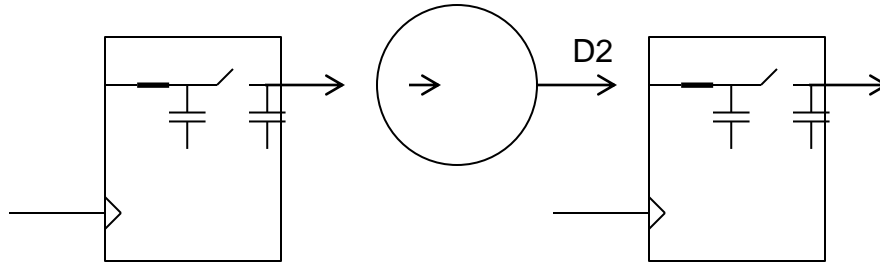
- Setup Zeit Verletzung



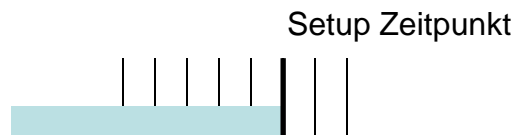
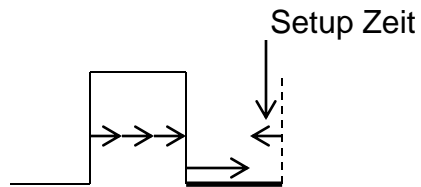
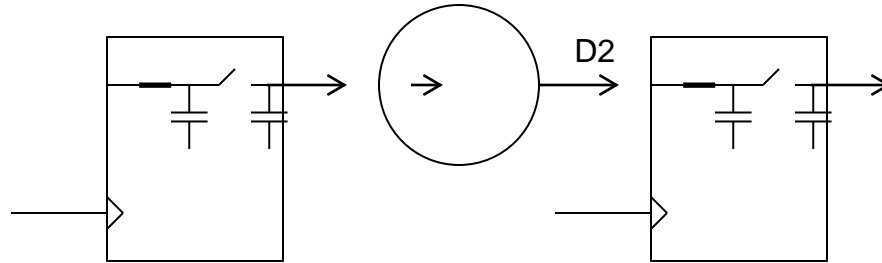
- Setup Zeit Verletzung



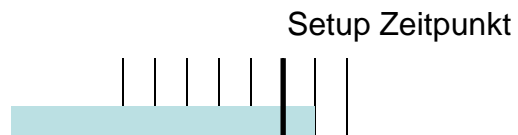
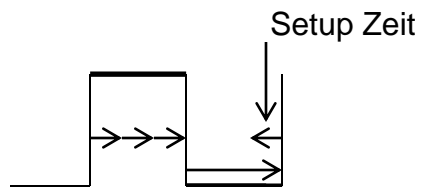
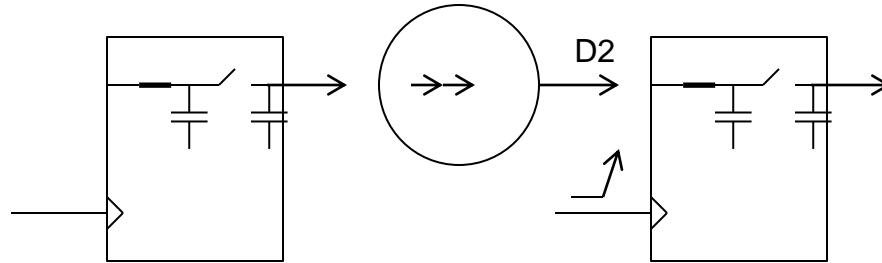
- Setup Zeit Verletzung



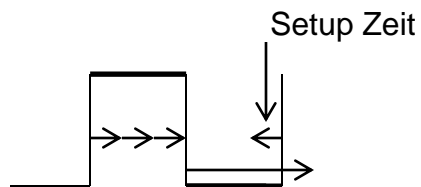
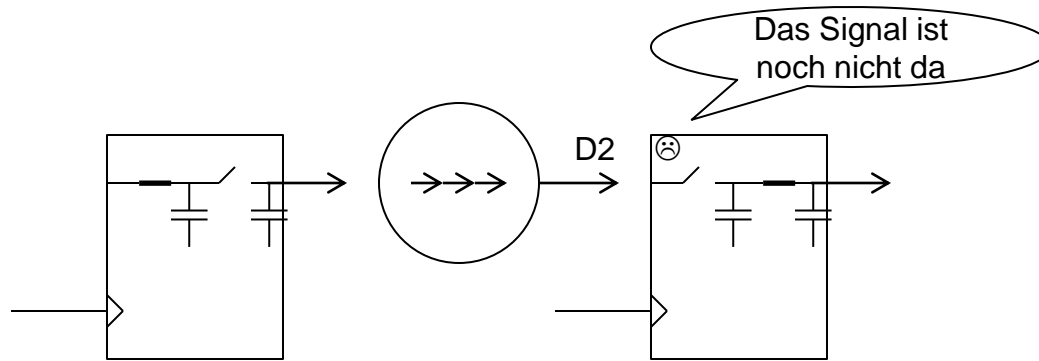
- Setup Zeit Verletzung



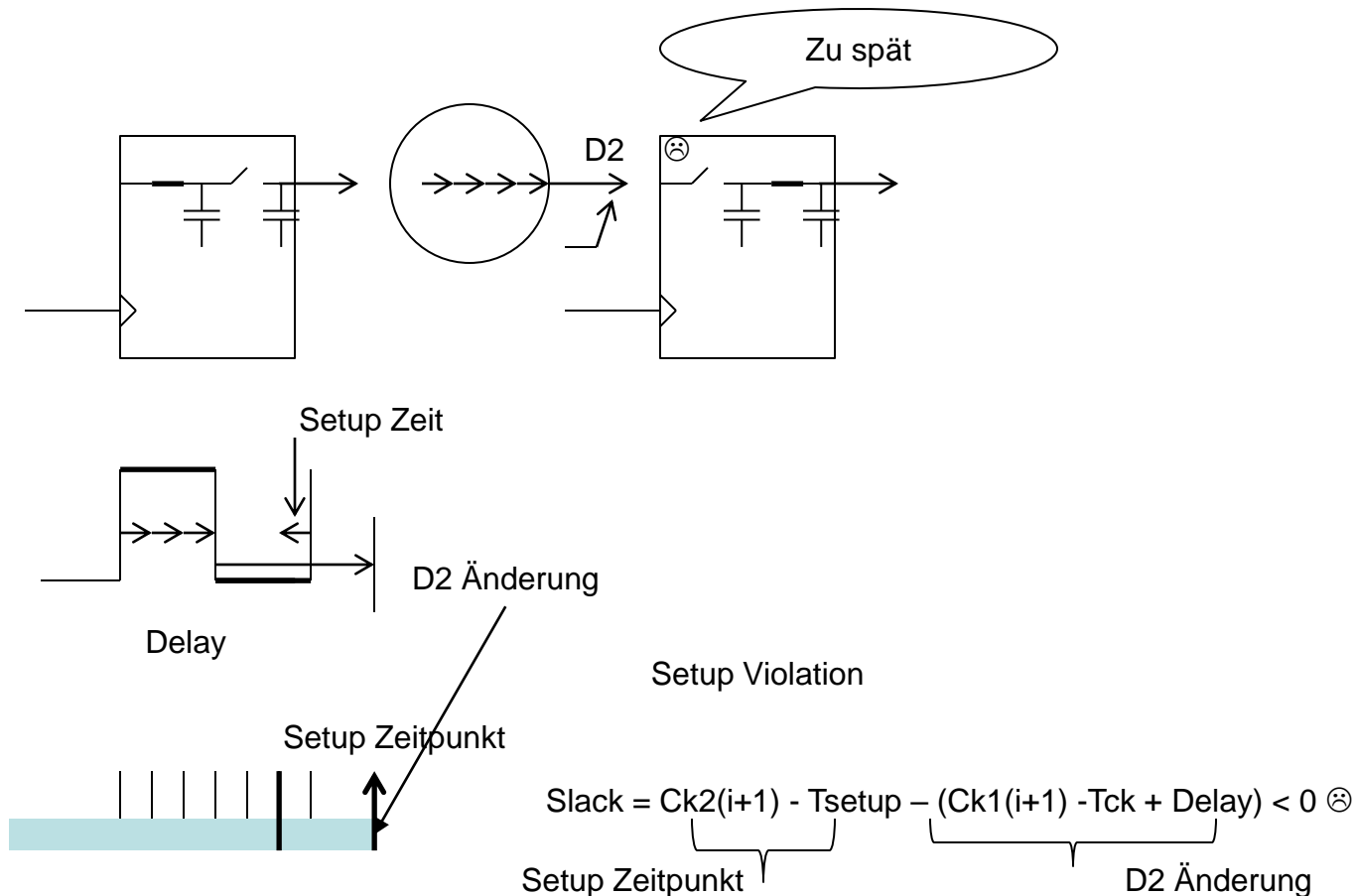
- Setup Zeit Verletzung



- Setup Zeit Verletzung

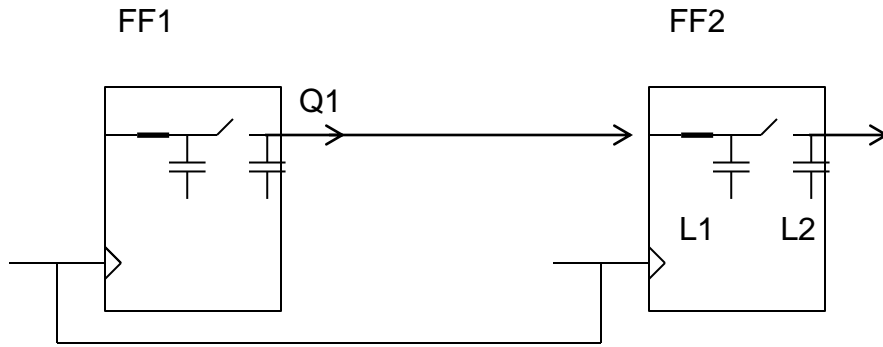


- Setup Zeit Verletzung
- Setupzeit Verletzung passiert wenn sich Niveau am Eingang D2 zu langsam ändert. Das passiert am meistens wenn die Taktfrequenz zu hoch ist oder die kombinatorische Logik zu langsam.

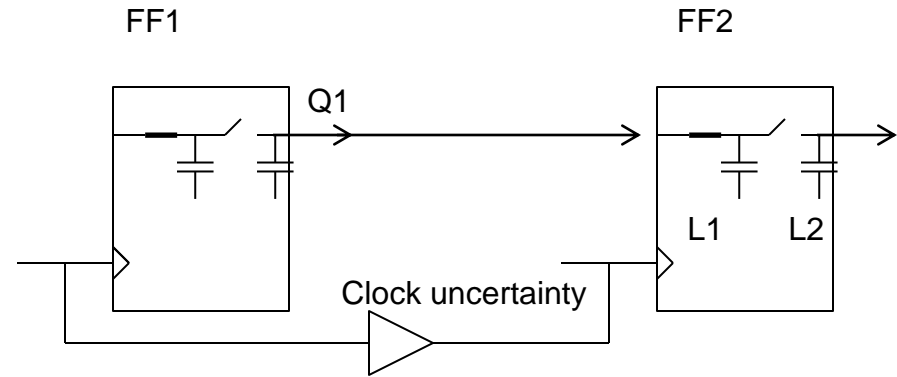


- Setup-Zeit Verletzungen kann man durch langsamere Taktfrequenz verhindern.
- Hold-Zeit Verletzungen kann man, wenn sie vorhanden sind, nicht mehr entfernen.
- Wenn eine Schaltung Hold-Zeit Probleme hat, kann man sie in der Regel nicht verwenden.

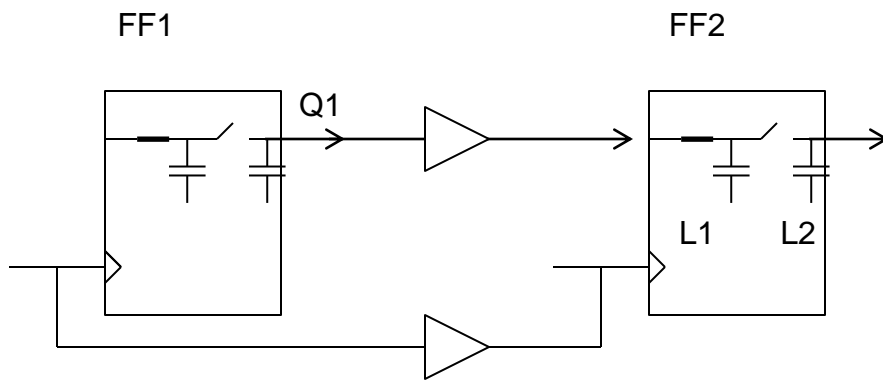
- *Hold-Zeit Probleme verhindert man im Design durch Verwendung von constraints (Design-Einschränkungen): Clock Uncertainty.*
- *Auf diese Weise wird Synthese Tool gezwungen D2 in Bezug auf Ck-Eingang am FF2 zu verlangsamen. Das erreicht man z.B. durch Einfügen von Invertern im Datenpfad.*



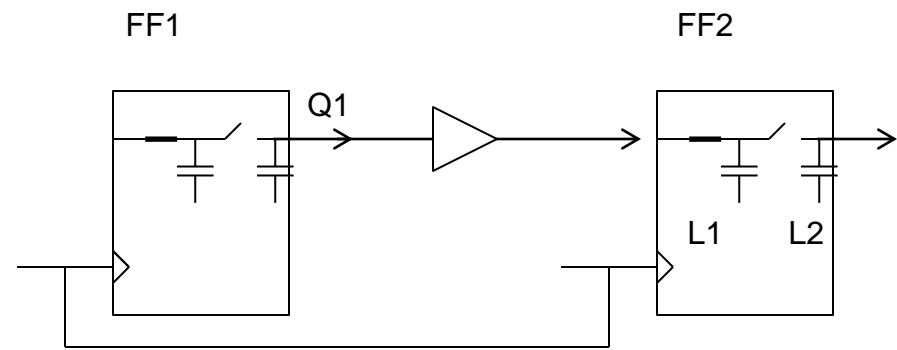
Gewünschte Schaltung



Wird simuliert: Simulationsergebnis hold violation



Vom Tool angepasste Schaltung: keine hold violation



Wird implementiert

- Änderung am D2 darf nicht zu früh und nicht zu spät passieren

