

Vorlesung 4

In dieser Vorlesung werden folgende Themen behandelt

Kanallängenmodulation (Early-Effekt)

Schwache Inversion

Kapazitäten

Kleinsignalmodell

Änderung der effektiven Kanallänge - Kanallängenmodulation (*Early-Effekt*) - Einführung

Wir haben in Vorlesungen 2 und 3 hergeleitet, dass der Transistorstrom von Verhältnis W/L abhängig ist, L und W sind Kanallänge und Kanalbreite. Wie groß sind eigentlich W und L ? In erster Näherung belegt der Kanal die ganze Fläche unterhalb des Gate-Oxids. Dort ist die „Anziehungskraft“ der positiven Gate-Ladung stark genug, um einen Elektronen-Kanal zu formen.

Für Transistoren im Linear- (oder Trioden-) Bereich ist der Kanal etwa genauso groß wie das Gate-Oxid, Abbildung 1.

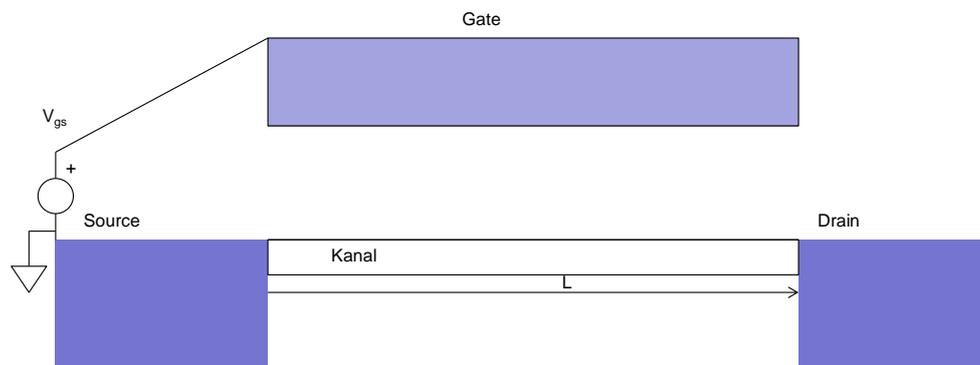


Abbildung 1: Kanallänge

Wenn V_{ds} größer als V_{dssat} ist (Transistor in Sättigung) bleibt das Drain-Ende des Kanals etwa auf V_{dssat} Potential (Abbildung 2). Zwischen dem Drain und dem Ende des Kanals haben wir einen Potentialunterschied von $V_{ds} - V_{dssat}$. Es bildet sich eine Verarmungszone. Deren Größe hängt von der Überspannung $V_{ds} - V_{dssat}$. Die Effektive Länge des Kanals (L_{eff}) ist, also, um die Größe der Verarmungszone kleiner als die Gate-Oxid-Länge. Wenn V_{ds} über V_{dssat} hinaussteigt, verkürzt sich der Kanal. Die Länge L_{eff} wird kleiner und der Strom steigt.

Wir werden nun einige Formeln herleiten, die Kapiteln mit Herleitungen sind optional. Wer schneller lesen möchte, kann Herleitungen überspringen und mit der Zusammenfassung fortsetzen.

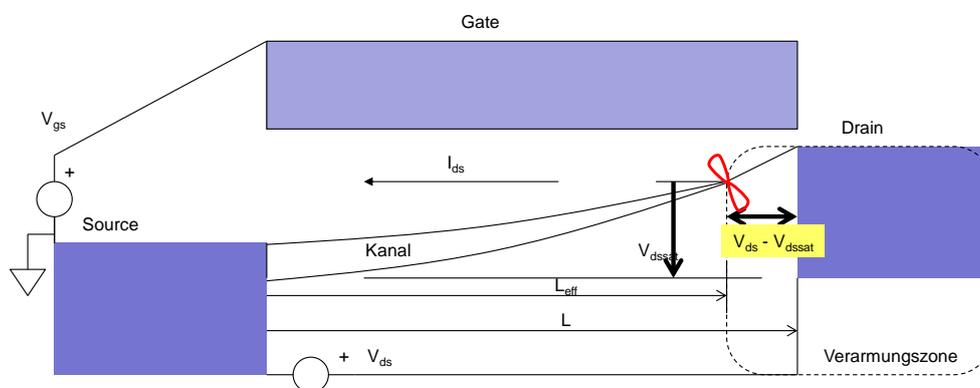


Abbildung 2: Kanallängenmodulation

Kanallängenmodulation – Herleitung

Wir werden nun einige Formeln herleiten.

Verarmungszone (Herleitung)

Versuchen wir die Länge der Verarmungszone zu berechnen.

Wir können die gleiche Vorgehensweise benutzen, wie wenn man die Verarmungszone einer Diode berechnet. Wir benutzen das Gaußsche Gesetz um E-Feld als Funktion von Koordinate zu berechnen. Aus dem E-Feld berechnen wir dann die Spannung.

Der Unterschied im Vergleich mit der Diode ist es, dass am Rande der Verarmungszone (im Punkt, wo der Kanal abschnürt) das E-Feld ungleich null ist. Es ist $E(0) = E_{\text{sat}}$ (Abbildung 3). E_{sat} ist die E-Feldstärke bei der die Mobilität sättigt.

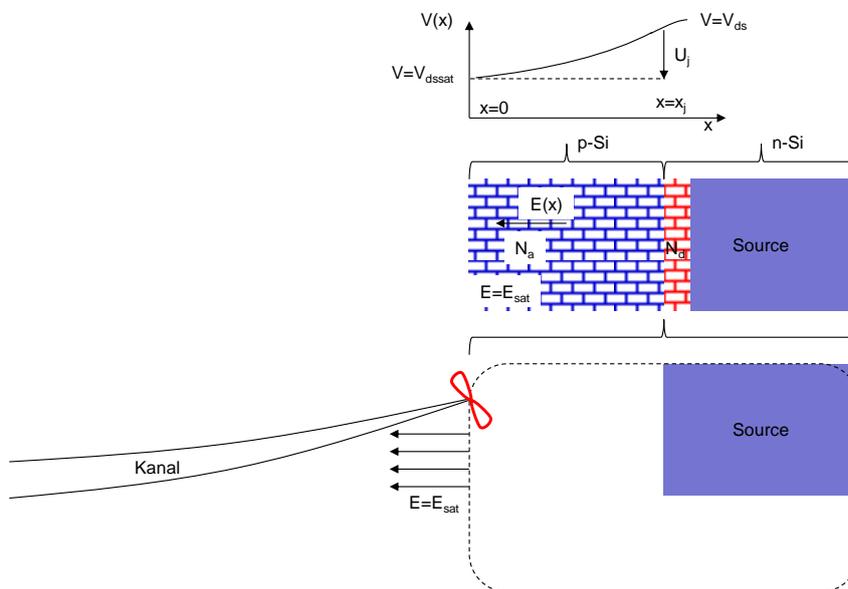


Abbildung 3: Berechnung der Länge von Verarmungszone

Es gilt (Gaußsches Gesetz):

$$\frac{dE}{dx} = \frac{eN_a}{\epsilon}$$

E ist die horizontale E-Feld Komponente, x ist die Koordinate, N_a ist die Dichte der Akzeptoren, ϵ ist die Permittivität vom Silizium, e ist die Elementarladung.

Daraus und unter Berücksichtigung $E(0) = E_{\text{sat}}$ folgt:

$$E = \frac{eN_a}{\epsilon} x + E_{\text{sat}}$$

Die Potentialänderung entlang der Verarmungszone U_j bekommen wir als Integral:

$$U_j = \int_0^{x_j} E dx = \frac{eN_a}{\epsilon} \frac{x_j^2}{2} + E_{\text{sat}} x_j = V_{\text{ds}} - V_{\text{dssat}} \quad (\text{A1})$$

x_j ist die Breite der Verarmungszone.

Drain-Source Leitwert (Herleitung)

Wie beeinflusst V_{ds} den Strom?

Fangen wir mit der Formel für Sättigungsstrom an:

$$I_{dssat} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L_{eff}(V_{ds})} (V_{gs} - V_{thsb})^2 \quad (A2)$$

Wenn V_{ds} über V_{dssat} hinaussteigt, verkürzt sich die effektive Kanallänge $L_{eff}(V_{ds})$ und der Strom steigt.

Wir definieren den Drain-Source Leitwert g_{ds} als die Steigung der $I_{ds}(V_{ds})$:

$$g_{ds} = \frac{dI_{ds}}{dV_{ds}} = \frac{dI_{dssat}}{dL_{eff}} \frac{dL_{eff}}{dV_{ds}} \quad (A3)$$

Die Ableitung der Formel (A2) gibt:

$$\frac{dI_{ds}}{dL_{eff}} = -\frac{I_{dssat}}{L_{eff}} \quad (A4)$$

Wenn wir dieses Ergebnis in (A3) einsetzen, bekommen wir:

$$g_{ds} = -\frac{I_{dssat}}{L_{eff}} \frac{dL_{eff}}{dV_{ds}} \quad (A5)$$

Berechnen wir jetzt $\frac{dL_{eff}}{dV_{ds}}$.

Die Effektive Länge des Kanals ist:

$$L_{eff} = L - x_j \quad (A6)$$

Deswegen:

$$\frac{dL_{eff}}{dV_{ds}} = -\frac{dx_j}{dV_{ds}} \quad (A7)$$

Die Änderung dx_j/dV_{ds} können wir aus der Gleichung A1 berechnen wenn wir beide Seiten von A1 differenzieren (d/dV_{ds}):

$$\frac{d}{dV_{ds}} (V_{ds} - V_{dssat}) = \frac{d}{dV_{ds}} \left(\frac{eN_a x_j^2}{2\epsilon} + E_{sat} x_j \right)$$

$$1 = \frac{eN_a x_j}{\epsilon} \frac{dx_j}{dV_{ds}} + E_{sat} \frac{dx_j}{dV_{ds}}$$

Daraus und aus (A7) folgt:

$$\frac{1}{E_{\text{sat}} + \frac{eN_A x_j}{\epsilon}} = \frac{dx_j}{dV_{\text{ds}}} = -\frac{dL_{\text{eff}}}{dV_{\text{ds}}} \quad (\text{A8})$$

Wenn wir A8 in A3 einsetzen, bekommen wir die Formel für Leitwert g_{ds} :

$$g_{\text{ds}} = \frac{dI_{\text{dssat}}}{dV_{\text{ds}}} = \frac{I_{\text{dssat}}}{L_{\text{eff}}(E_{\text{sat}} + \frac{eN_A x_j}{\epsilon})} \quad (\text{A9})$$

g_{ds} wird größer, wenn V_{ds} , und somit auch x_j steigen. Am Anfang der Sättigung ist g_{ds} etwa LE_{sat} .

Early-Spannung (Herleitung)

Verkürzung des Kanals führt zu folgender Stromänderung:

$$I_{ds} = I_{dssat} + g_{ds}(V_{ds} - V_{dssat}) = I_{dssat}\left(1 + \frac{g_{ds}}{I_{dssat}}(V_{ds} - V_{dssat})\right) \quad (A10)$$

Definieren wir nun die Early-Spannung V_A als:

$$V_A \equiv \frac{I_{dssat}}{g_{ds}} \quad (A11)$$

Wenn wir A11 in A10 einsetzen, bekommen wir:

$$I_{ds} = I_{dssat}\left(1 + \frac{V_{ds}-V_{dssat}}{V_A}\right) \quad (A12)$$

Aus A11 und A9, bekommen wir

$$V_A = L_{eff}E_{sat} + \frac{L_{eff}eN_a x_j}{\epsilon} \quad (A13)$$

Die Transistoren in 65nm Prozess werden mit BSIM4 Modell beschrieben.

[Contents \(iastate.edu\)](#)

In diesem Modell wird folgende Gleichung benutzt:

$$V_A \sim LE_{sat} + L \frac{V_{ds}-V_{dssat}}{0.5 x_j} \quad (A14)$$

Wir können diese Gleichung mit zwei Approximationen herleiten.

Wir vernachlässigen den Term $E_{sat}x_j$ in (A1). Es folgt:

$$x_j \sim \sqrt{\frac{2\epsilon}{eN_a}} \sqrt{V_{ds} - V_{dssat}}$$

Wir nehmen $L_{eff} \sim L$ an.

Auf diese Weise bekommt man aus der Formel A13 die Formel A14.

Die BSIM-Formel für g_{ds} ist:

$$g_{ds} = \frac{I_{dssat}}{V_A} = \frac{I_{dssat}}{L_{eff}\left(E_{sat} + \frac{V_{ds}-V_{dssat}}{0.5 x_j}\right)} \quad (A15)$$

Zusammenfassung (Kanallängenmodulation)

Folgende Formel kann hergeleitet werden:

$$I_{ds} = I_{dssat} \left(1 + \frac{V_{ds} - V_{dssat}}{V_A} \right)$$

BSIM-Formel für Early Spannung ist

$$V_A \sim L E_{sat} + L \frac{V_{ds} - V_{dssat}}{0.5 x_j}$$

E_{sat} ist die E-Feld stärke bei der die Mobilität sättigt, x_j ist die Länge der Verarmungszone.

Drain-Source Leitwert ist:

$$g_{ds} = \frac{I_{dssat}}{V_A} = \frac{I_{dssat}}{L_{eff} \left(E_{sat} + \frac{V_{ds} - V_{dssat}}{0.5 x_j} \right)}$$

Abbildung 4 zeigt die simulierten Ausgangskennlinien.

Die Steigung dI_{dssat}/dV_{ds} ist am größten am Anfang der Sättigung:

$$g_{ds, v_{ds}=v_{dssat}} = \frac{I_{dssat}}{L_{eff} E_{sat}}$$

Für größere V_{ds} , sinkt g_{ds} (s. A15) und die Kennlinie wird flacher.

Wir definieren den Ausgangswiderstand als:

$$r_{ds} = \frac{1}{g_{ds}}$$

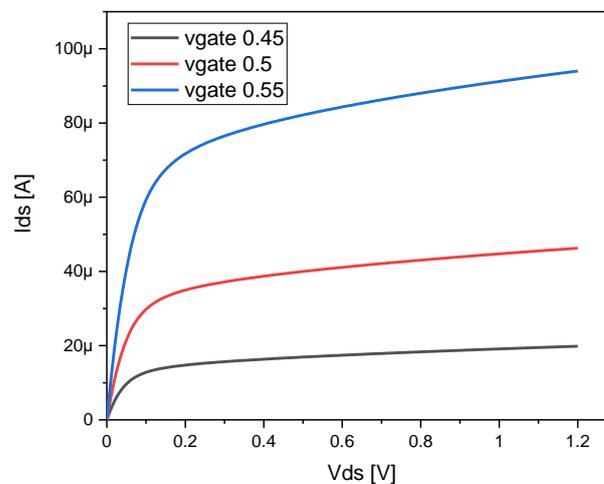


Abbildung 4: Strom steigt für $V_{ds} > V_{dssat}$

Ein kleine Steigung g_{ds} ist vom Vorteil, da sich der Transistor Stromquellen-ähnlich verhält. Kleine g_{ds} Werte (oder großen r_{ds} - Widerstand) bekommen wir für lange Transistoren und für kleine Ströme (s. A9 oder A15).

Abbildung 5 zeigt einen Transistor mit kleinem g_{ds} und großem r_{ds} . Beachten wir, dass solch ein Transistor kleine g_m hat. Wir erreichen nicht beides – eine gute Stromquelle und eine hohe Transkonduktanz.

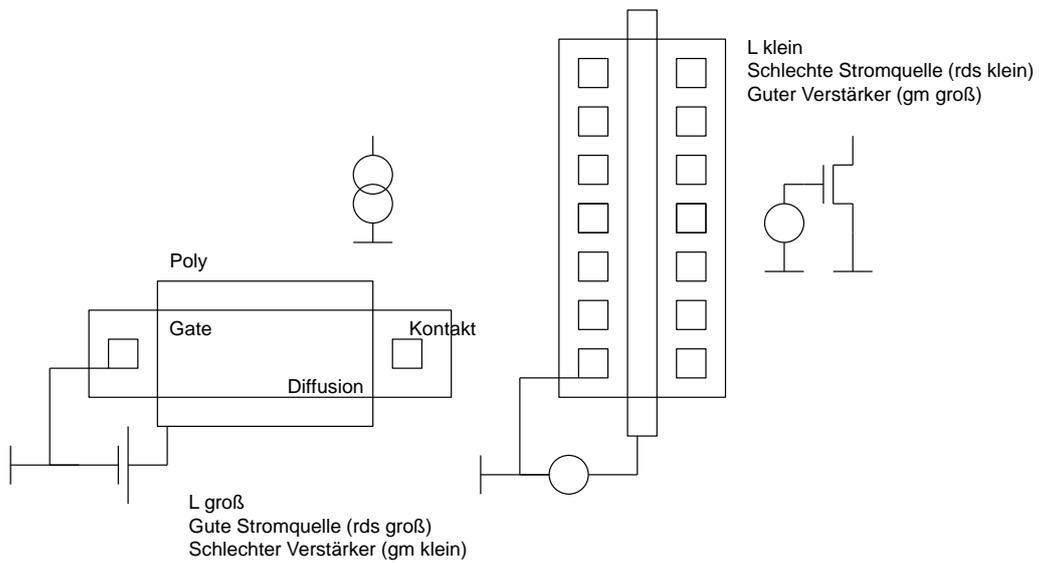


Abbildung 5: Verschiedene Stromquellen

Es gibt einen Trick – Kaskode (Abbildung 6) – der uns ermöglicht sowohl g_m als auch r_{ds} zu optimieren. Eine Kaskode ist ein guter Verstärker und eine gute Stromquelle.

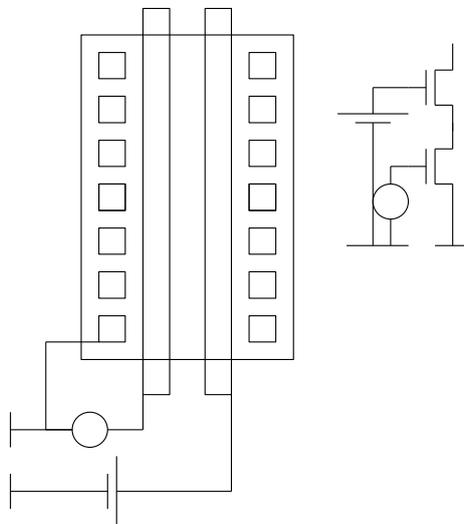


Abbildung 6: Stromquelle mit Kaskode

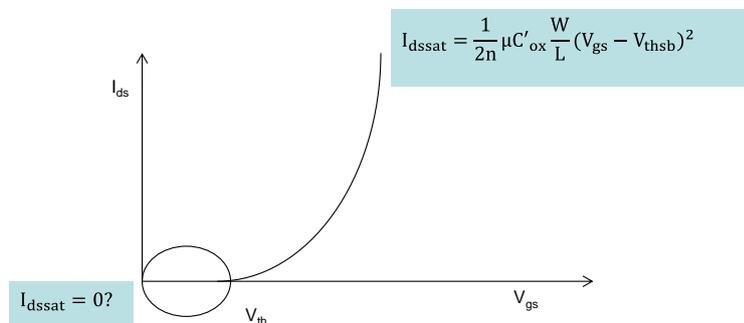
Schwache Inversion - Einleitung

Bisherige Formeln und die Analyse setzen voraus, dass die Ladung im Kanal und I_{ds} Strom null sind, solange V_{gs} kleiner als die Schwelle ist.

$$I_{dssat} = \frac{1}{2n} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2 \quad (4)$$

Diese Formeln basieren auf einem einfachen Modell. Sie sind für einige Anwendungen und Schaltungen nicht korrekt genug.

Wir werden uns nun den Arbeitsbereich untersuchen, wenn V_{gs} etwas kleiner als die Schwellenspannung V_{thsb} liegt. Wir nennen diesen Arbeitsbereich „schwache Inversion“ (subthreshold region). Für $V_{gs} > V_{thsb}$ haben wir eine „starke Inversion“.



Wir hatten in der Vorlesung 2 erwähnt, dass die Elektronendichte im Kanal (an der Grenze zwischen Oxid und Silizium) von der Höhe der Potentialbarriere U_B zwischen dem Kanalbereich und der Source / Drain abhängig ist. Wir haben auch die Schwellenspannung als die V_{gs} Spannung definiert die zu $U_B = 0$ führt. Für V_{gs} kleiner als die Schwelle ist die Barriere größer als Null.

Wenn die Barriere U_B klein ist, kann ein Elektron aus der Source oder aus dem Drain in Substrat gelangen, wenn es eine zusätzliche kinetische Energie von den Phononen (thermischen Kristallschwingungen) bekommt. Was bedeutet *kleine Barriere*? Das ist die Barriere, die etwa der mittleren thermischen Energie von Elektronen entspricht. Erinnern wir uns, dass die thermische Energie bei Zimmertemperatur (300 K) einer Spannung von $U_T = 26$ mV entspricht. ($U_T = kT/e$) Die thermische Energie ist die mittlere kinetische Energie von Elektronen bei einer Temperatur. Deswegen ist die Elektronendichte für $V_{gs} < V_{thsb}$ im Kanalbereich nicht null. Das zeigt die Abbildung 7.

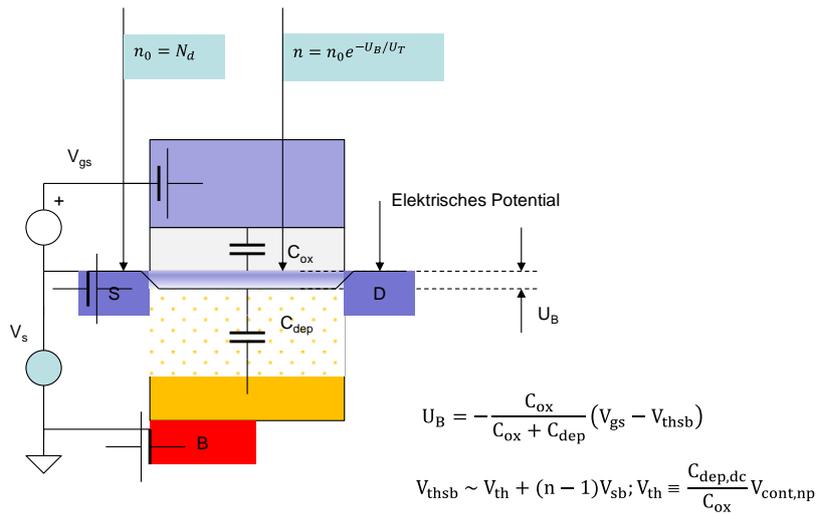


Abbildung 7: Ladung im Substrat unter dem Oxid hängt von Barriere U_B ab. $V_{ds} = 0$.

Wenn das Drain-Potential höher als Source-Potential ist, ist die Barriere an der Drain Seite größer und die Dichte der Elektronen verringert sich dort. Das zeigt die Abbildung 8. Ungleiche Verteilung der Elektronen führt zum Diffusionsstrom.

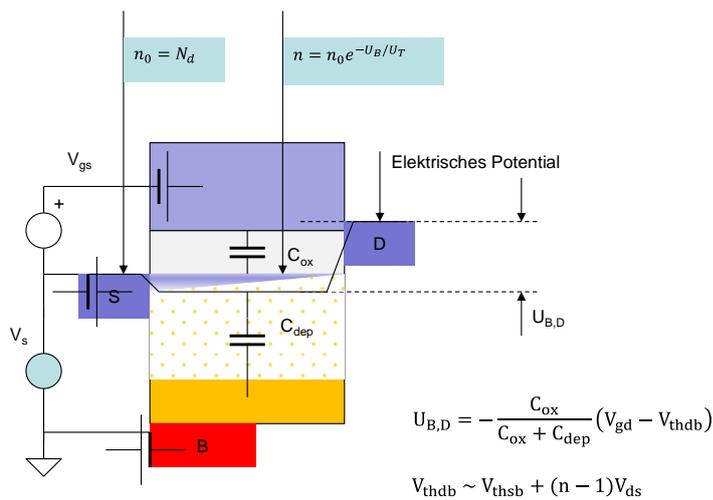


Abbildung 8: Potentialverlauf und Elektronendichte im Substrat unter dem Oxid. $V_{ds} > 0$.

Wir werden nun im nächsten Kapitel die Formel für den Strom herleiten. Dieses Kapitel ist optional. Man kann es überspringen und mit Zusammenfassung das Lesen fortsetzen.

Schwache Inversion - Herleitung

Versuchen wir nun den Strom zwischen Drain und Source abzuschätzen, der wegen des Gradienten von Elektronendichte, entsteht.

Erste Annahme ist, dass es sich um einen Diffusionsstrom handelt. Wir sollen also die Ladungsträgerzahl/pro Fläche (Ladungsträgerdichte integriert in vertikaler z-Richtung) im Substratbereich zwischen Source und Drain abschätzen. Wenn wir die (integrierten) Dichten kennen, können wir den Strom aus der Gleichung für Diffusionsstrom berechnen. Die integrierte Ladungsträgerdichte (im Fall von NMOS die Elektronendichte) könnten wir in zwei Schritten berechnen. Der erste Schritt wäre die Berechnung der *normalen* Dichte als Funktion der Barriere U_B und der vertikalen Koordinate z. Der zweite Schritt wäre die Integration der Dichte in z-Richtung. Wir werden die Integration nicht exakt durchführen.

Die Höhe der Potentialbarriere U_B ist (s. Vorlesung 2):

$$U_B = -\frac{C_{ox}}{C_{dep} + C_{ox}} (V_{gs} - V_{thsb}) = -\frac{(V_{gs} - V_{thsb})}{n} \quad (5)$$

Berechnen wir jetzt die Dichte der Elektronen unterhalb des Oxids. Die Elektronendichte in Source ist $n_0 = N_d$. N_d ist die Dichte der Donator-Atomen. Elektronendichte im thermodynamischen Gleichgewicht ist durch Maxwell Boltzmann Verteilung beschrieben.

Wir können annehmen, dass die PN-Übergänge zwischen der Source und dem Substrat und zwischen dem Drain und dem Substrat im Gleichgewicht sind. Deswegen können wir die Maxwell Boltzmann Verteilung benutzen. Die Elektronendichten in Source und in Drain sind gleich N_d .

Deswegen ist die Elektronendichte im Kanalbereich an der Substrat-Oberfläche:

$$n = N_d e^{-U_B/U_T}$$

Das zeigt die Abbildung 7.

Die Berechnung der integrierten Dichte ist nicht so einfach. Im Prinzip müssten wir Integration in z-Richtung durchführen. Dafür brauchen wir die Funktion $n(z)$. *Eine genaue Berechnung befindet sich im Dokument „MOSFET Detailed“*. Das Ergebnis ist relativ einfach und intuitiv:

$$Q' = \int n(z) dz = \int n_0 e^{-V(z)/U_T} dz = \dots = C'_{dep} U_T e^{-U_B/U_T} \quad (6)$$

Q' ist die Ladung pro Flächeneinheit. $C'_{dep,ac}$ ist die dynamische Kapazität der Verarmungszone dividiert durch die Fläche.

Leiten wir nun die Formel für I_{ds} her.

Im Fall $V_{ds} = 0$, ist die Ladungsträgerdichte im Bereich unterhalb von Gate in x-Richtung gleichmäßig verteilt, Abbildung 7 und Abbildung 9. In diesem Fall fließt kein Diffusionsstrom in x-Richtung.

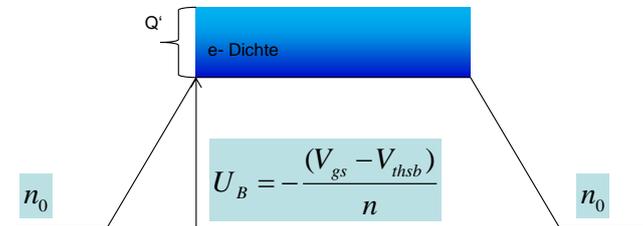


Abbildung 9: Ladungsträgerdichte um Kanalbereich für $V_{gs} < V_{th}$ und $V_{ds} = 0$.

Ein Strom kann nur dann entstehen, wenn es ein Gradient der Ladungsträgerdichte gibt. Der Gradient entsteht bei einer Spannung zwischen Drain und Source. Um Gradient zu bestimmen, müssen wir die Ladungsträgerdichte in der Nähe von Drain berechnen. Sie hängt von der Potentialbarriere zwischen dem Drain und dem Kanal $U_{B,D}$.

Wie groß ist $U_{B,D}$? Hier helfen uns Ergebnisse aus der Vorlesung 2. Wir können die Formel (5) benutzen, V_{gs} durch V_{gd} ersetzen und berücksichtigen, dass wegen dem Substrateffekt die Schwelle am Drain um $(n-1)V_{ds}$ größer als V_{thsb} ist. Die Barriere zwischen Drain und Silizium-Oberfläche ist:

$$U_{B,D} = -\frac{(V_{gd} - V_{thsb} - (n-1)V_{ds})}{n} = -\frac{(V_{gs} - V_{thsb})}{n} + \frac{(V_{ds} + (n-1)V_{ds})}{n} = U_{B,S} + V_{ds} \quad (7)$$

$U_{B,S}$ ist die Potentialbarriere zwischen Source und Kanalbereich. Das zeigen Abbildung 8 und Abbildung 10.

Die Ladungsträgerdichte in der Nähe von Drain wird also um Faktor $\exp(-V_{ds}/U_T)$ kleiner sein als in der Nähe von Source.

Zusammenfassung:

Die Ladungsträgerdichte in der Nähe von Source ist:

$$Q'_s = C'_{dep} U_T e^{(V_{gs} - V_{thsb})/nU_T} \quad (8)$$

Die Ladungsträgerdichte in der Nähe von Drain ist:

$$Q'_d = Q'_s e^{-V_{ds}/U_T} \quad (9)$$

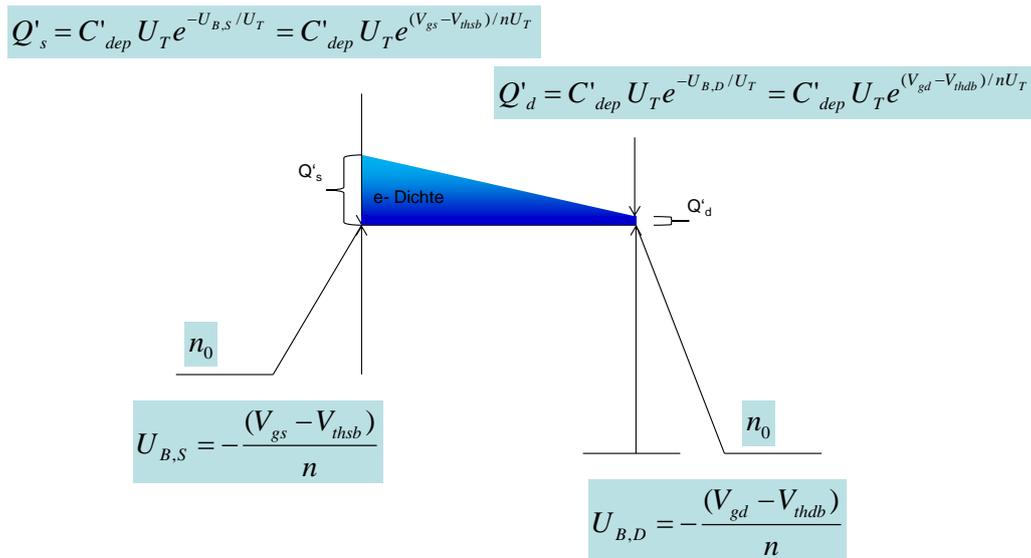


Abbildung 10: Ladungsträgerdichte im Kanalbereich für $V_{gs} < V_{th}$ und für $V_{ds} > 0$

Gleichung für Strom - Herleitung

Wegen unterschiedlichen Ladungsträgerdichten entsteht ein Diffusionsstrom.

Dieser Strom ist durch die folgende Gleichung beschrieben:

$$|I| = W \cdot D \cdot \frac{dQ}{dx} \quad (10)$$

D ist die Diffusionskonstante. Für D gilt die Einstein-Gleichung:

$$D/\mu = U_T \quad (11)$$

Aus (9) – (11) folgt (Abbildung 11):

$$I \approx W \cdot D \cdot \frac{Q'_s - Q'_d}{L} = \frac{W}{L} \mu U_T Q'_s (1 - e^{V_{ds}/U_T}) \quad (12)$$

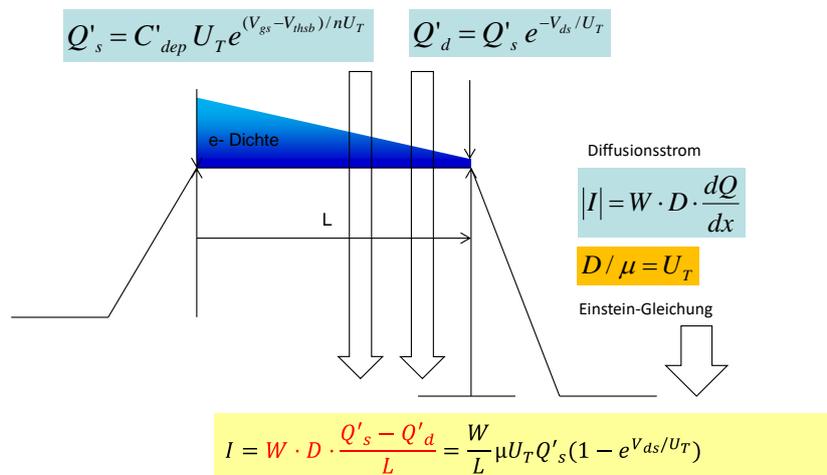


Abbildung 11: Diffusionsstrom

Die Kennlinie $I_{ds} = f(V_{ds})$ (12) zeigt ein Sättigungsverhalten für $V_{ds} > \text{einige } U_T$. (Abbildung 12)

$$I_{ds} = \text{const} \cdot e^{(V_{gs} - V_{thsb})/nU_T} (1 - e^{-V_{ds}/U_T})$$

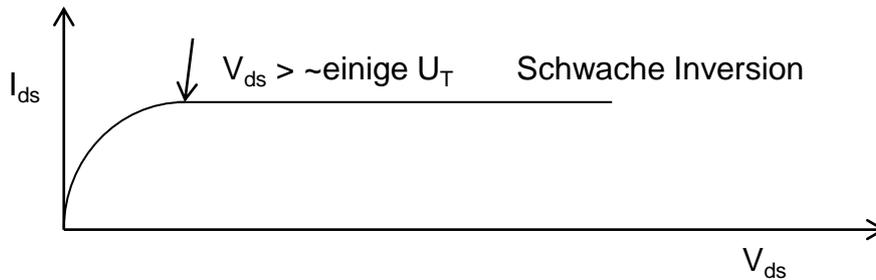


Abbildung 12: Schwache Inversion - Stromsättigung

Es gilt (wir setzen $V_{ds} > \text{einige } U_T$ in (12) ein)

$$I_{dssat} = \frac{W}{L} \mu U_T Q'_s \quad (13)$$

Es gilt auch (8):

$$Q'_s = C'_{dep} U_T e^{(V_{gs} - V_{thsb})/nU_T}$$

und

$$C'_{dep} = (n - 1) C'_{ox} \quad (14)$$

Aus (8), (13) und (14) folgt die Formel für Sättigungsstrom bei $V_{gs} < V_{th}$.

$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n - 1) \cdot e^{(V_{gs} - V_{thsb})/nU_T} \quad (15)$$

Schwache Inversion – Zusammenfassung

Formel für Strom in schwacher Inversion

$$I_{ds} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n - 1) \cdot e^{(V_{gs} - V_{thsb})/nU_T} (1 - e^{-V_{ds}/U_T}) \quad (12)$$

Und für $V_{ds} > \text{einige } U_T$:

$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n - 1) \cdot e^{(V_{gs} - V_{thsb})/nU_T} \quad (15)$$

1) Ein Transistor ist nie wirklich aus. Für $V_{gs} = V_{thsb}$, wo wir nach der Formel für starke Inversion $I_{dssat} = 0$ erwarten, fließt bereits ein Strom von etwa $W/L \times 100 \text{ nA}$. (Das bekommen wir aus (15)), wenn wir die Werte für eine 65nm Technologie einsetzen (s. Zusammenfassung).

2) Die Bedingung für Sättigung in schwacher Inversion ist $V_{ds} > \text{einige } U_T$. Die V_{dssat} hängt nicht von V_{gs} ab, wie es in starker Inversion war.

Starke Inversion: $V_{ds} > (V_{gs} - V_{thsb})/n$.

Das ist ein interessantes Ergebnis. Manche Schaltungen wie z.B. Stromspiegel werden dadurch beeinflusst.

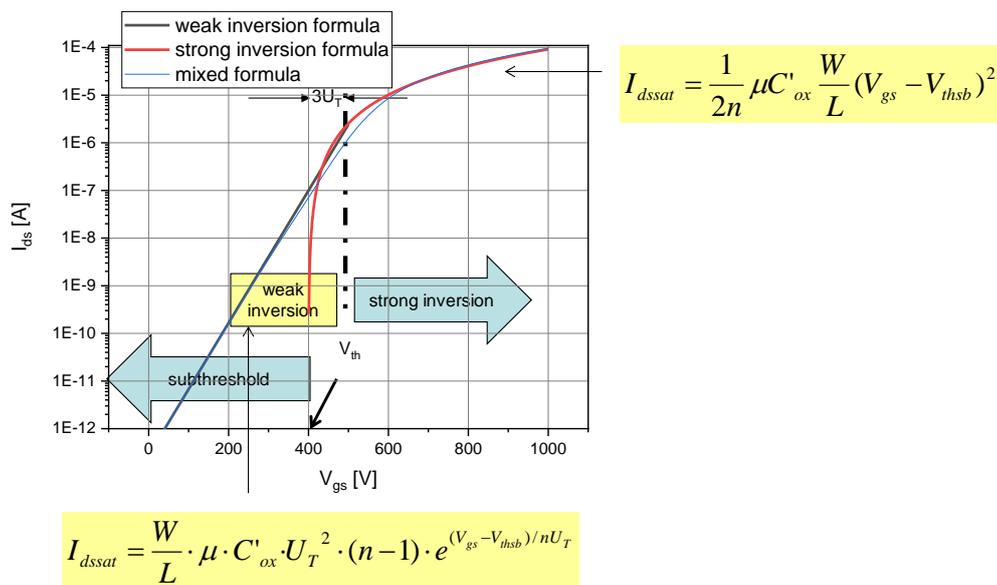


Abbildung 13: Verschiedene Arbeitsbereiche

Ein Strom von 100 nA mag klein aussehen, aber in vielen Anwendungen ist er bedeutend. Stellen wir uns eine DRAM-Zelle mit 10 fF Kapazität vor. Bei einem Strom von 100 nA verliert sie Ladung innerhalb von nur etwa 100 ns!

Schwache Inversion führt zum DC-Stromverbrauch in CMOS-Logik.

Wir können V_{gs} Wertebereich auf schwache Inversion ($V_{gs} < V_{thsb} + \text{einige } U_T$), und starke Inversion ($V_{gs} > V_{thsb} + \text{einige } U_T$) unterteilen, wie Abbildung 13 zeigt.

Für starke Inversion gilt die Gleichung

$$I_{\text{dssat}} = \frac{1}{2n} \mu C'_{\text{ox}} \frac{W}{L} (V_{\text{gs}} - V_{\text{thsb}})^2 \quad (16)$$

für schwache Inversion die Gleichung (15)

$$I_{\text{dssat}} = \frac{W}{L} \cdot \mu \cdot C'_{\text{ox}} \cdot U_T^2 \cdot (n-1) \cdot e^{(V_{\text{gs}} - V_{\text{thsb}})/n U_T}$$

Eine weitere Folge von schwacher Inversion ist es, dass wir die Transkonduktanz durch Vergrößerung von W/L nicht beliebig erhöhen können, wenn Bias-Strom konstant bleibt.

Rechnen wir die Transkonduktanz als $dI_{\text{dsat}}/dv_{\text{gs}}$:

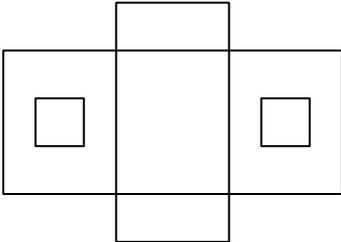
Aus I_{ds} - Formel für starke Inversion (16) bekommen wir:

$$g_m = \sqrt{2kI_{\text{dssat}} \cdot (W/L)}; k = \mu C'_{\text{ox}} / n \quad (17)$$

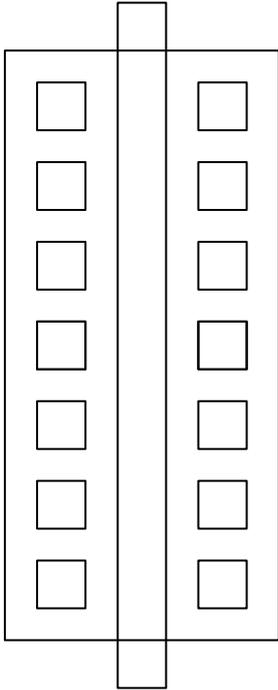
Aus I_{ds} - Formel für schwache Inversion (15) bekommen wir:

$$g_m = I_{\text{dssat}} / n U_T \quad (18)$$

Die Formel (17) zeigt, dass die Transkonduktanz beliebig vergrößert werden kann, wenn der Transistor breiter und kurzer gemacht wird. Das ist nicht richtig: Bei einem konstanten Bias-Strom und bei der Zunahme von W/L muss $V_{\text{gs}} - V_{\text{thsb}}$ sinken (16). Der Transistor wird dadurch in die schwache Inversion versetzt, wo die Transkonduktanz nicht mehr vom W/L abhängt. G_m -Anstieg wird gestoppt. $I_{\text{dssat}}/n \times U_T$ ist also die maximale Transkonduktanz bei einem bestimmten I_{dssat} Bias-Strom.



$$g_m = \sqrt{2kI_{dssat}} (W / L)$$



$$g_m = I_{dssat} / nU_T$$

Abbildung 14: Transistor in starker Inversion (links) und Transistor in starker Inversion (rechts)

Zusammenfassung der MOSFET Gleichungen

An dieser Stelle möchte ich die Formeln für den I_{ds} Strom zusammenzufassen

Starke Inversion

Einfaches Modell mit Substrateffekt

$$I_{ds} = \frac{\mu_0 C'_{ox} W}{L} \left((V_{gs} - V_{thsb}) V_{ds} - n \frac{V_{ds}^2}{2} \right)$$

Sättigungsspannung

$$V_{ds} = \frac{V_{gs} - V_{thsb}}{n} \equiv V_{dssat}$$

Sättigungsstrom

$$I_{dssat} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2$$

Symmetrische Gleichung:

$$I_{ds} = I_{dssat}(V_{gs}, V_{thsb}) - I_{dssat}(V_{gd}, V_{thdb})$$

Substrateffekt

$$V_{thsb} = V_{th} + (n - 1)V_{sb}$$

$n = 1 + C_{dep,ac} / C_{ox}$ ist slope factor, $n \sim 1.25$.

Falls wir Substrateffekt nicht berücksichtigen, setzen wir $n = 1$.

BSIM-Modell mit Beweglichkeitssättigung

$$I_{ds} = \frac{\mu_0 C'_{ox} W}{L \left(1 + \frac{V_{ds}}{LE_{sat}}\right)} \left((V_{gs} - V_{thsb}) V_{ds} - n \frac{V_{ds}^2}{2} \right)$$

Sättigungsspannung

$$V_{ds} = \frac{V_{gs} - V_{thsb}}{n\alpha} \equiv V_{dssat}$$

$$\alpha = \left(1 + \frac{V_{gs} - V_{thsb}}{nE_{sat}L}\right)$$

Sättigungsstrom

$$I_{dssat} = \frac{1}{2n\alpha} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2$$

Schwache Inversion

$$I_{ds} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n - 1) \cdot e^{(V_{gs} - V_{thsb})/nU_T} (1 - e^{-V_{ds}/U_T})$$

Sättigungsspannung

z.B. $V_{ds} > 3U_T$

Sättigungsstrom

$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n - 1) \cdot e^{(V_{gs} - V_{thsb})/nU_T}$$

Symmetrische Gleichung gilt auch in schwacher Inversion:

$$I_{ds} = I_{dssat}(V_{gs}, V_{thsb}) - I_{dssat}(V_{gd}, V_{thdb})$$

Early-Effekt

$$I_{ds} = I_{dssat}(1 + (V_{ds} - V_{dssat})/V_A)$$

$$V_A \sim LE_{sat} + L \frac{V_{ds} - V_{dssat}}{0.5 x_j}$$

Schwellespannung

$$V_{th} = \frac{2C'_{dep,ac}}{C'_{ox}} \times V_{cont} = \frac{\sqrt{2eN_a \epsilon_0 \epsilon_{si} V_{cont}}}{C'_{ox}}$$

$$V_{cont} = 2U_T \ln\left(\frac{N_a}{n_i}\right)$$

$$n_i = 2 \left(\frac{2\pi kT \sqrt{m^*_h m^*_e}}{h^2} \right)^{3/2} e^{-\frac{E_g}{2kT}}$$

Folgende Parameterwerte sind realistisch für eine 65 nm Technologie

NMOS:

$$V_{th} = 400\text{mV}$$

$$n = 1.25$$

$$E_{sat} \sim 5.29 \text{ V}/\mu\text{m}$$

$$\mu_0 = 4.78 \times 10^{-2} \text{ m}^2/\text{Vs}$$

$$C'_{ox} = 13.28 \text{ fF}/\mu\text{m}^2 = 0.01328\text{f}/\text{m}^2$$

PMOS:

$$V_{th} = 380\text{mV}$$

$$n = 1.22$$

$$E_{sat} \sim 33.8 \text{ V}/\mu\text{m}$$

$$\mu_0 = 1.19 \times 10^{-2} \text{ m}^2/\text{Vs}$$

$$C'_{ox} = 12.33 \text{ fF}/\mu\text{m}^2$$

Kommentar:

μ_0 ist die "low field mobility" u_0 aus der Modelldatei

C_{ox} kann man mit der Formel berechnen:

$$C_{ox} = \frac{\epsilon_0 \epsilon_r}{t_{ox}}$$

$t_{ox} = 2.6\text{nm}$ (NMOS) und 2.8nm (PMOS) (Werte aus Modelldatei) und $\epsilon_r = 3.9$

$E_{sat} = 2v_{sat}/u_0$ (u_0 und v_{sat} aus der Modelldatei)

V_{th} kann man in der Simulation bestimmen – es ist V_{gs} wenn der Strom den Wert aus der Gleichung für schwache Inversion hat: ($I_{ds} \sim 100\text{nA W/L}$)

n kann man als Steigung $\log(I_{ds})/\log(V_{gs})$ (subthreshold slope) simulieren.

Kleinsignalmodell des MOSFET Transistors für langsame Signale (ohne Kapazitäten)

In Vorlesungen 2 - 4 haben wir MOS-Transistor, deren Herstellung und Funktionsweise beschrieben.

Wir haben die Formeln für Drain-Source Strom als Funktion von V_{gs} und V_{ds} hergeleitet.

Ein wichtiger Parameter ist die Schwellenspannung.

Für V_{ds} Spannungen höher als V_{dssat} , sättigt der Drain-Strom.

Den Wert V_{dssat} nennen wir die Sättigungsspannung.

$$V_{dssat} = (V_{gs} - V_{thsb})/n.$$

n ist subthreshold factor $n = 1 + C_{dep,ac}/C_{ox} \sim 1.25$.

Alle Gleichungen, die wir für NMOS hergeleitet haben, gelten auch für PMOS Transistoren wenn wir Spannungen (V_{gs} und V_{ds}) und Ströme (I_{ds}) negieren, bzw. ihren Betrag statt dem Wert mit Vorzeichen nehmen.

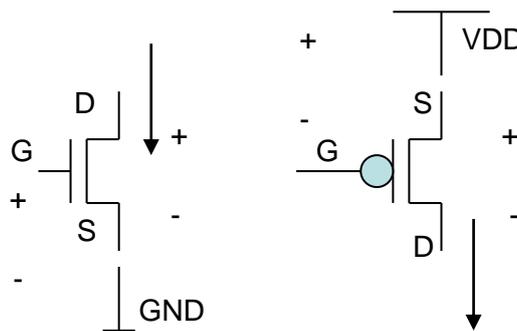


Abbildung 15: NMOS und PMOS

Für $V_{ds} > V_{dssat}$ steigt der Strom nur wenig wegen der Kanallängemodulation (wegen Early Effekts), Abbildung 16.

Wir definieren der Drain-Source Leitwert:

$$g_{ds} = \frac{dI_{ds}}{dV_{ds}}$$

Und den Ausgangswiderstand:

$$r_{ds} = \frac{1}{g_{ds}} \sim \frac{E_{sat}L}{I_{dssat}}$$

E_{sat} ist die E-Feld stärke bei der die Mobilität (bzw. die Driftgeschwindigkeit von Elektronen) sättigt. L ist die Transistorlänge.

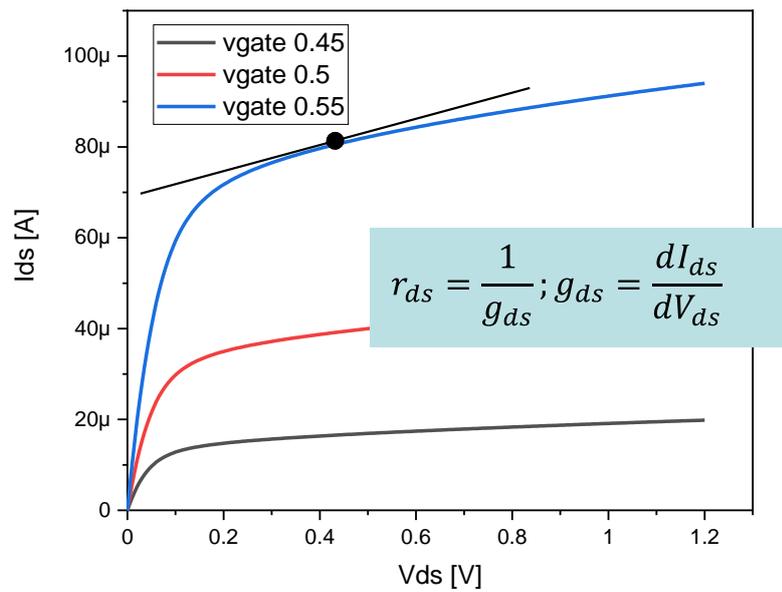


Abbildung 16: Ausgangskennlinie des MOS Transistors

Für kleine Signale, verhält sich der Transistor in Sättigung wie eine gesteuerte Stromquelle mit der folgenden Transkonduktanz (Abbildung 17):

$$g_m = \frac{dI_{dssat}}{dV_{gs}}$$

und dem Ausgangswiderstand r_{ds} .

Man kann auch die folgende Formel herleiten:

$$g_m = \frac{dI_{dssat}}{dV_{gs}}$$

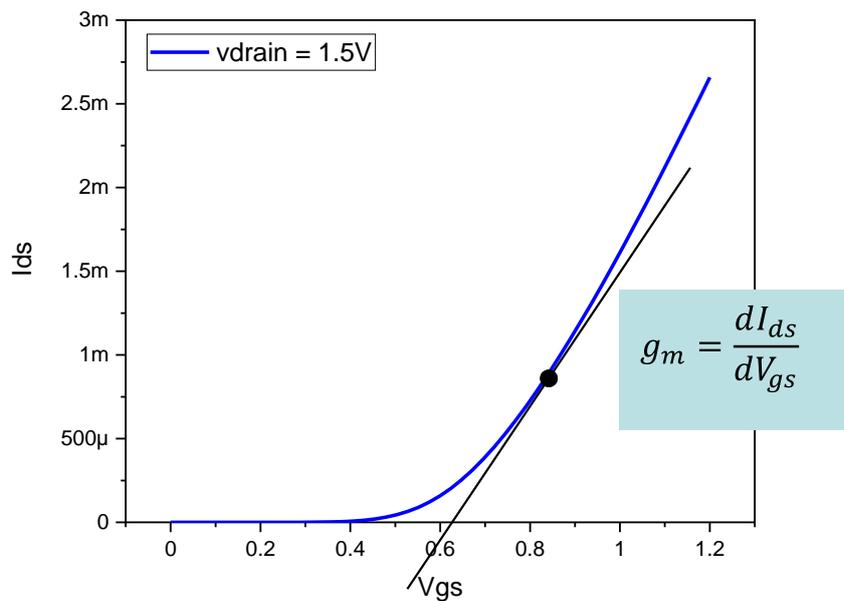


Abbildung 17: Eingangskennlinie des MOS Transistors

Das Kleinsignalmodell des Transistors (für langsame Signale) leiten wir aus den Transistorgleichung her:

$$I_{ds} = I_{dssat}(V_{gst}) \left(1 + \frac{V_{ds} - V_{dssat}}{V_A} \right); v_{gst} = V_{gs} - V_{thsb}; V_{thsb} = V_{th} - (n - 1)V_{bs}$$

Wir linearisieren die Gleichung im Arbeitspunkt:

$$i_{DS} = I_{ds,DC} + i_{ds,ac} = I_{ds,DC} + \frac{dI_{ds}}{dV_{gs}} v_{gs} + \frac{dI_{ds}}{dV_{ds}} v_{ds} + \frac{dI_{ds}}{dV_{sb}} v_{bs}$$

Es folgt:

$$i_{ds,ac} = \frac{dI_{ds}}{dV_{gs}} v_{gs} + \frac{dI_{ds}}{dV_{ds}} v_{ds} + \frac{dI_{ds}}{dV_{sb}} v_{bs} = g_m v_{gs} + g_{ds} v_{ds} + g_{mb} v_{bs}$$

Der letzte Term beschreibt den Substrateffekt. Eine höhere Spannung v_{bs} verringert die Schwelle und führt zum Stromanstieg. Beachten wir, dass v_{bs} auf ähnliche Weise wie v_{gs} den Strom erhöht. Es gilt:

$$g_{m,b} = (n - 1) g_m$$

Abbildung 18 zeigt das Kleinsignalmodell des MOS Transistors für DC Signale.

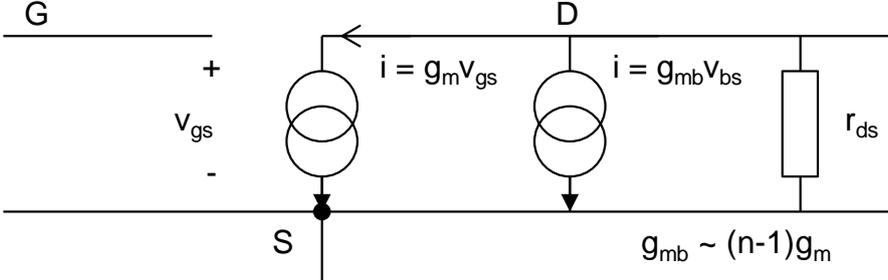


Abbildung 18: Kleinsignalmodell des MOS Transistors

Kapazitäten im MOSFET

In der Transistorstruktur haben wir an mehreren Stellen Raumladung, wie Abbildung 19 zeigt. Die Ladungsmengen hängen von Spannungen zwischen den Transistorelektroden. Deshalb entstehen Kapazitäten. Die Beziehungen zwischen den Ladungsmengen und Spannungen sind in der Regel nichtlinear. Für das Kleinsignalmodell werden deshalb so genannte dynamische Kapazitäten als $dQ(V)/dV$ im Arbeitspunkt definiert.

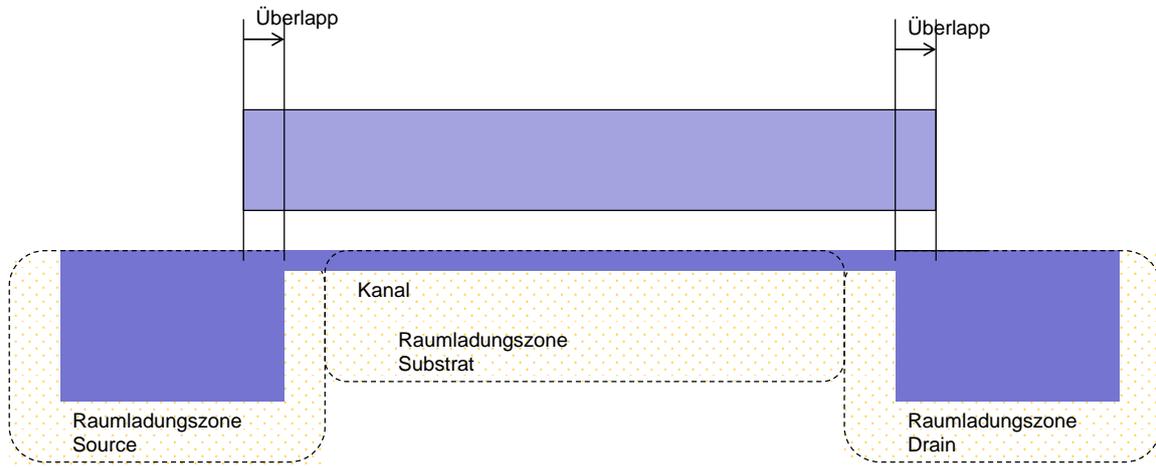


Abbildung 19: Raumladung in einer MOSFET Struktur

Gate Kapazität

Die wichtigste Kapazität im Transistor ist die Gate Kapazität. Wir haben bereits gesehen, dass unterhalb des Gates zwei Kapazitäten entstehen – die Oxidkapazität $C_{ox} = C'_{ox} \times W \times L$ und die Kapazität der Verarmungszone $C_{dep} = C'_{dep} \times W \times L$.

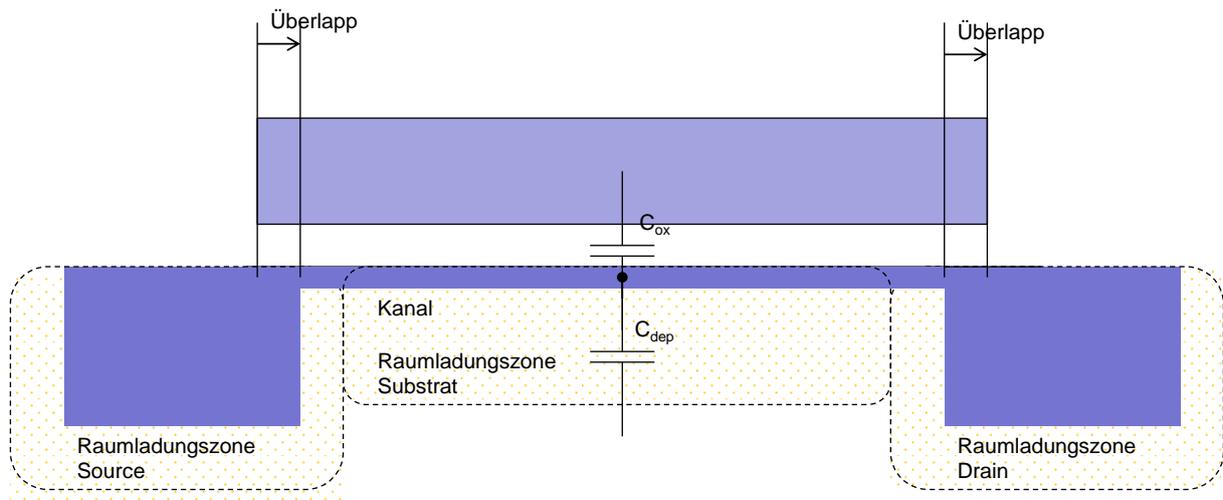


Abbildung 20: Gate-Kapazität

Je nachdem ob sich der Transistor in schwacher oder starker Inversion befindet, unterscheidet sich die Gate Kapazität.

C_{gate} in schwacher Inversion

Die Gate Kapazität C_{gate} ist die Reihenschaltung von C_{ox} und C_{dep}

$$C_{gate} = C_{gb} = WL \frac{C_{ox} C_{dep}}{C_{ox} + C_{dep}}$$

Die Kapazität wirkt zwischen dem Gate und dem Substrat, Abbildung 21.

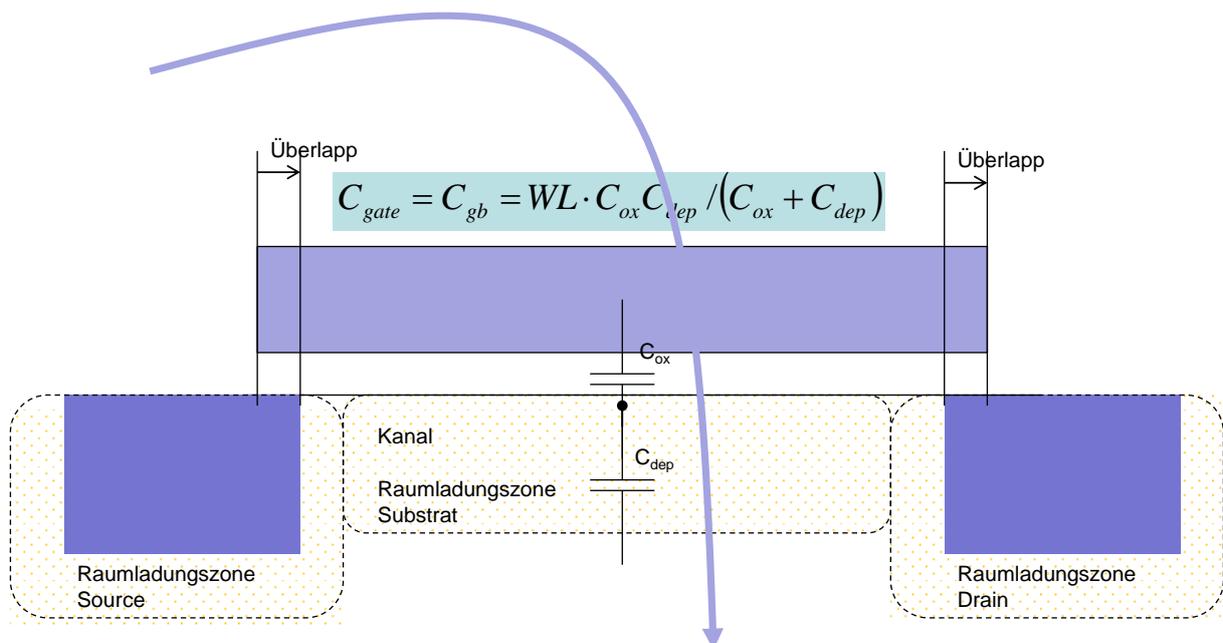


Abbildung 21: Gate-Kapazität in schwacher Inversion

C_{gate} in starker Inversion und $V_{ds} = 0$

Die Spannung zwischen den Kontakten der Kapazität C_{dep} ist fest – der Kanal ist mit den Source und Drain kurzgeschlossen. Deshalb „sehen“ wir C_{dep} nicht, wenn wir die Spannung am Gate ändern, Abbildung 22. Die Ladungsmenge in der Verarmungszone ändert sich nicht. Von den ursprünglich zwei Kapazitäten bleibt nur C_{ox} . Die Gate Kapazität ist dann:

$$C_{gate} = C_{gsd} = WLC'_{ox}$$

Die Kapazität ist also größer als in schwacher Inversion. Diese Kapazität wirkt zwischen dem Gate und Source und zwischen dem Gate und Drain gleichmäßig.

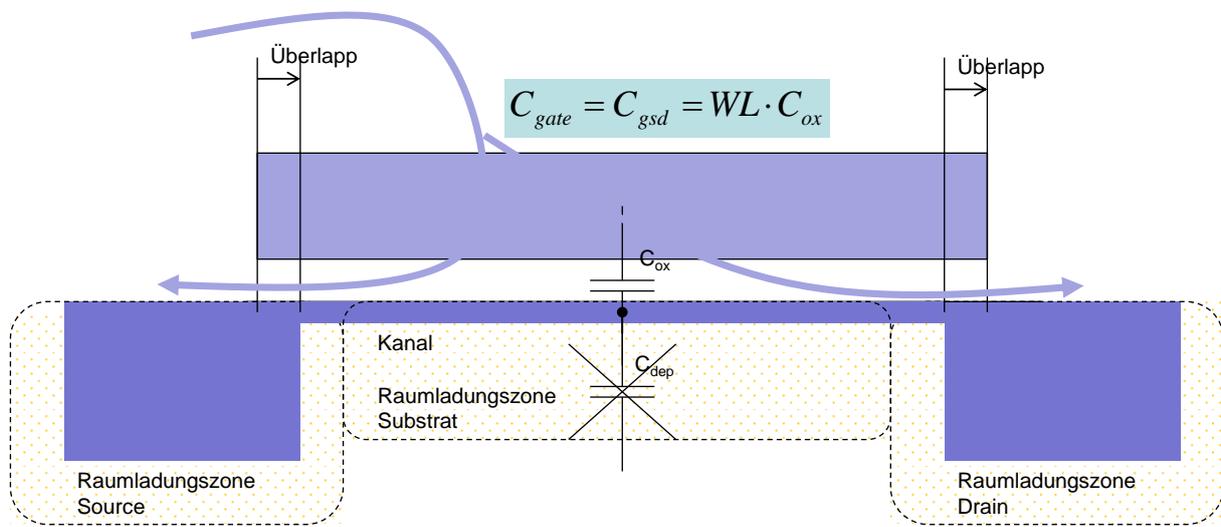


Abbildung 22: Gate-Kapazität in starker Inversion, für $V_{ds} = 0$

C_{gate} in starker Inversion und Sättigung ($V_{ds} > V_{dssat}$)

Man kann zeigen, dass in Sättigung die Ladungsmenge im Kanal etwa $2/3$ von der für $V_{ds} = 0$ ist. Deshalb ist die Gate-Kapazität etwa

$$C_{gate} = \frac{2}{3} WLC'_{ox}$$

Da der Kanal in Sättigung von Drain abgekoppelt ist, wirkt die Kapazität nur zwischen Gate und Source.

$$C_{gate} = C_{gs} = \frac{2}{3} WLC'_{ox}$$

Es gibt, in erster Näherung, keine Kapazität zwischen Drain und Gate, Abbildung 23.

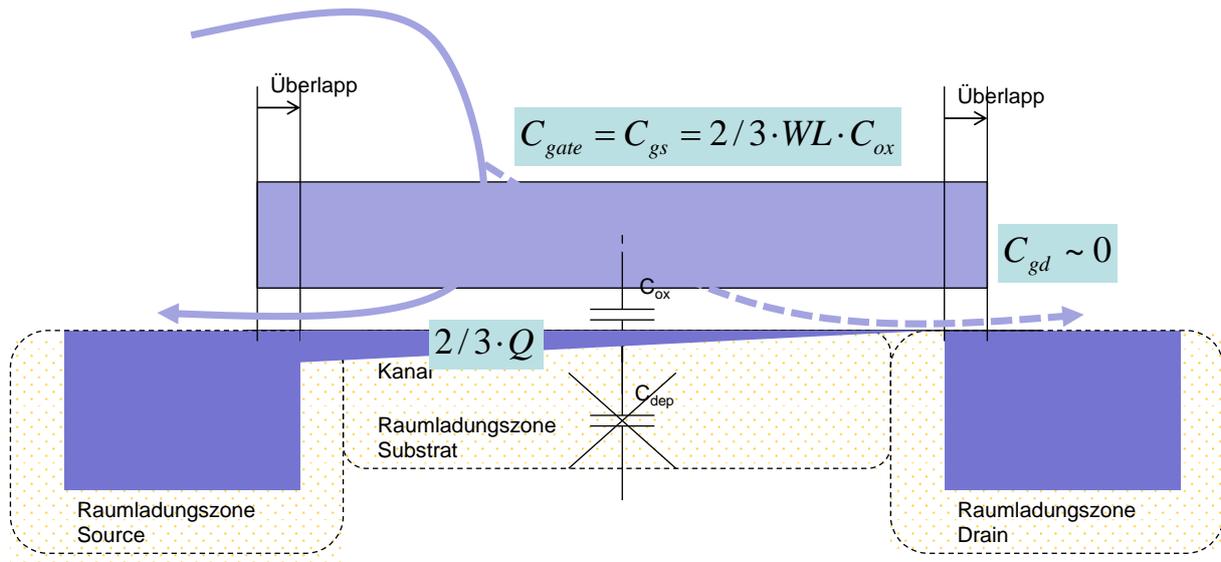


Abbildung 23: Gate-Kapazität in starker Inversion, für $V_{ds} > V_{dssat}$

Außer Gate Kapazitäten haben wir noch die folgenden kleineren Kapazitäten, Abbildung 24.

PN-Übergangskapazitäten (junction Kapazitäten) C_{jd} , C_{js} .

Überlappkapazitäten $C_{gs,ovl}$ und $C_{gd,ovl}$. Diese Kapazitäten kommen zustande, weil sich die Source und Drain Bereiche teilweise unter dem Gate-Oxid Gate verbreiten. (wegen Diffusion)

Insbesondere ist $C_{gd,ovl}$ wichtig – die Drain-Gate Kapazität wird in den Verstärkern durch den Miller-Effekt verstärkt.

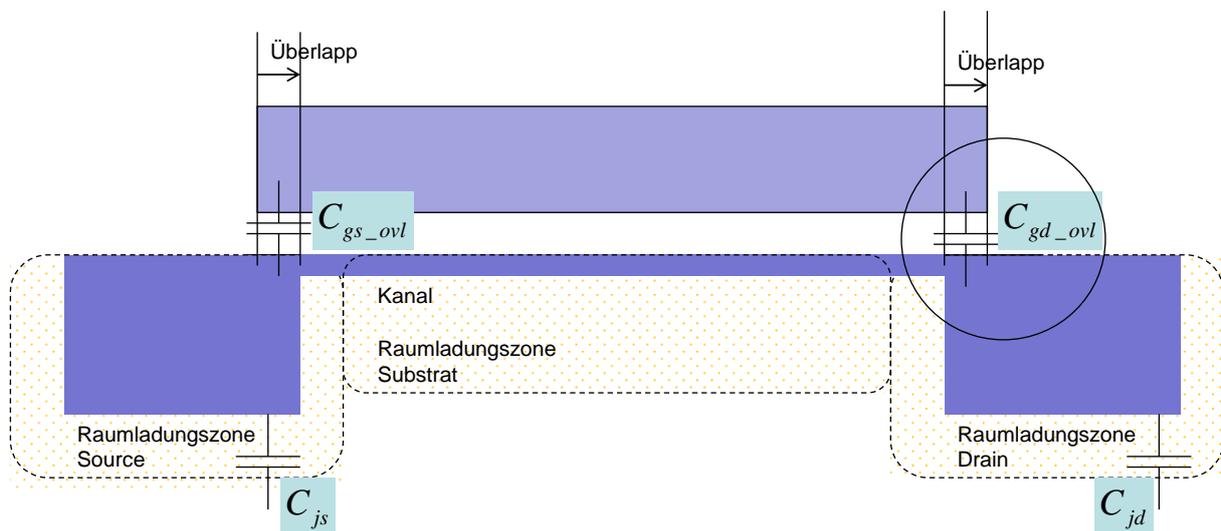


Abbildung 24: Weitere kleinere Kapazitäten

Kleinsignalmodell des Transistors mit Kapazitäten

Das vollständige Kleinsignalmodell des Transistors ist in Abbildung 25 gezeigt.

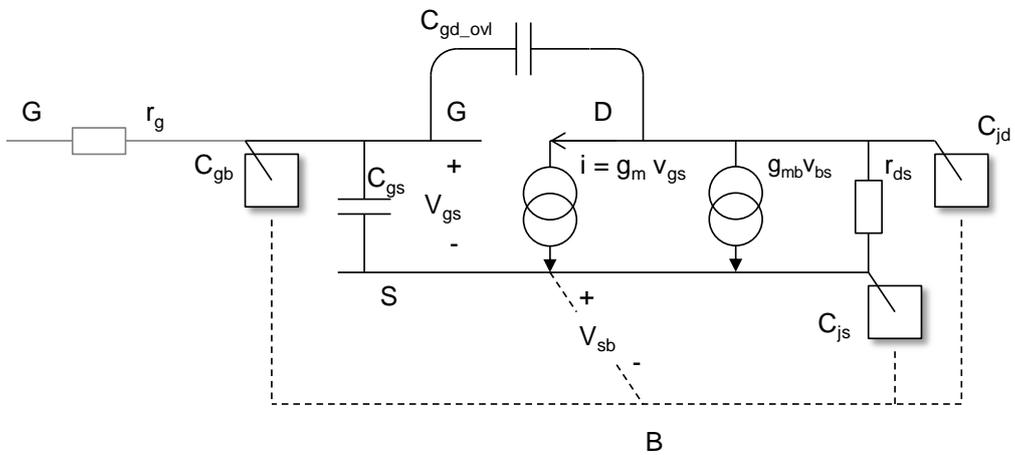


Abbildung 25: Kleinsignalmodell des MOS Transistors

Wenn Substrat und Source kurzgeschlossen sind, vereinfacht sich das Modell wie in Abbildung 26.

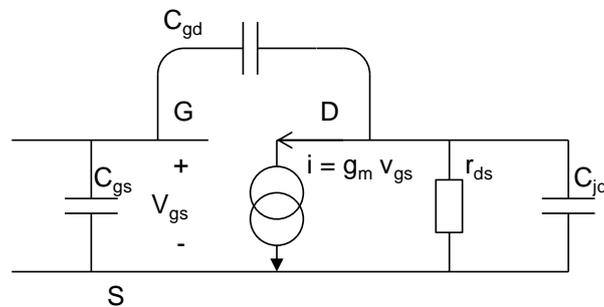


Abbildung 26: Kleinsignalmodell des MOS Transistors für $V_{sb} = 0$

Transitfrequenz (Optional)

Transitfrequenz ist die Frequenz, bei der ein Transistor die Kleinsignalverstärkung

$$A(j\omega) = \left| \frac{i_{\text{out}}(j\omega)}{i_{\text{in}}(j\omega)} \right|$$

von 1 hat.

Abbildung 27 zeigt die Testschaltung für die Berechnung der Transitfrequenz.

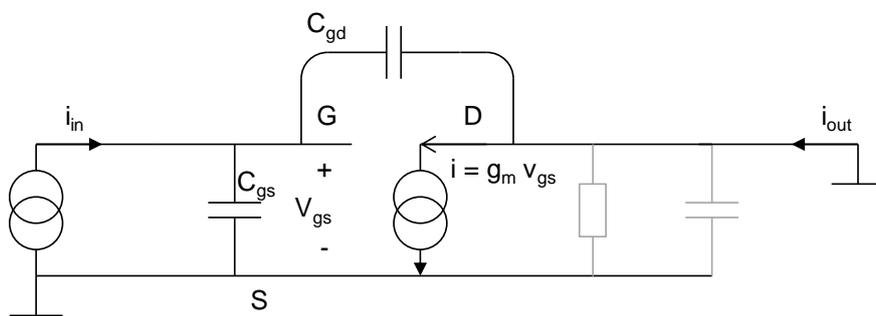


Abbildung 27: Testschaltung für die Berechnung von Transitfrequenz

Es gilt

$$i_{\text{in}} = i\omega(C_{\text{gs}} + C_{\text{gd}})V_{\text{in}}$$

$$i_{\text{out}} = (g_{\text{m}} - i\omega C_{\text{gd}})V_{\text{in}}$$

Die Strom-Verstärkung ist:

$$A(\omega) = \left| \frac{i_{\text{out}}}{i_{\text{in}}} \right| = \left| \frac{(g_{\text{m}} - j\omega C_{\text{gd}})}{j\omega(C_{\text{gs}} + C_{\text{gd}})} \right| = \frac{\sqrt{g_{\text{m}}^2 + \omega^2 C_{\text{gd}}^2}}{\omega(C_{\text{gs}} + C_{\text{gd}})}$$

Aus der Bedingung

$$A(\omega_{\text{T}}) = 1$$

Folgt die Formel für die ω -Transit- Kreisfrequenz (in rad/s).

$$\omega_{\text{T}} = \frac{g_{\text{m}}}{C_{\text{gs}} \sqrt{1 + \frac{2C_{\text{gd}}}{C_{\text{gs}}}}} \sim \frac{g_{\text{m}}}{C_{\text{gs}}}$$

Die normale Transitfrequenz in Hertz ist

$$f_{\text{T}} = \frac{\omega_{\text{T}}}{2\pi}$$

Wir haben in Vorlesung 4 gezeigt, dass die maximale Transkonduktanz für einen Biasstrom mit folgender Formel beschrieben ist:

$$g_{m,max} = \frac{I_{bias}}{nU_T}$$

Der Transistor ist dann in schwacher Inversion.

Beispiel:

Für einen NMOS-Transistor in 65nm Technologie mit $W = 8\mu\text{m}$ und $L = 60\text{nm}$ und für $V_{gs} = 1\text{V}$ simulieren wir die Transitfrequenz von $f_T = 160\text{GHz}$.

Die Transitfrequenz zeigt uns die theoretische maximale Bandbreite eines Verstärkers mit Verstärkung 1 und ohne Last-Impedanzen.

Derart große Bandbreiten sind schwer zu erreichen. Ein Grund ist auch weitere Zeitkonstante die z.B. wegen des Widerstands der Gate-Leitung entsteht. Diese Zeitkonstante ist

$$T_{gate} = R_{gate}C_{gs}$$

Nehmen wir als Beispiel einen Transistor in einer 65nm mit $W = 8\mu\text{m}$ und $L = 60\text{nm}$. Das Transistorlayout sieht wie in Abbildung 28 aus.

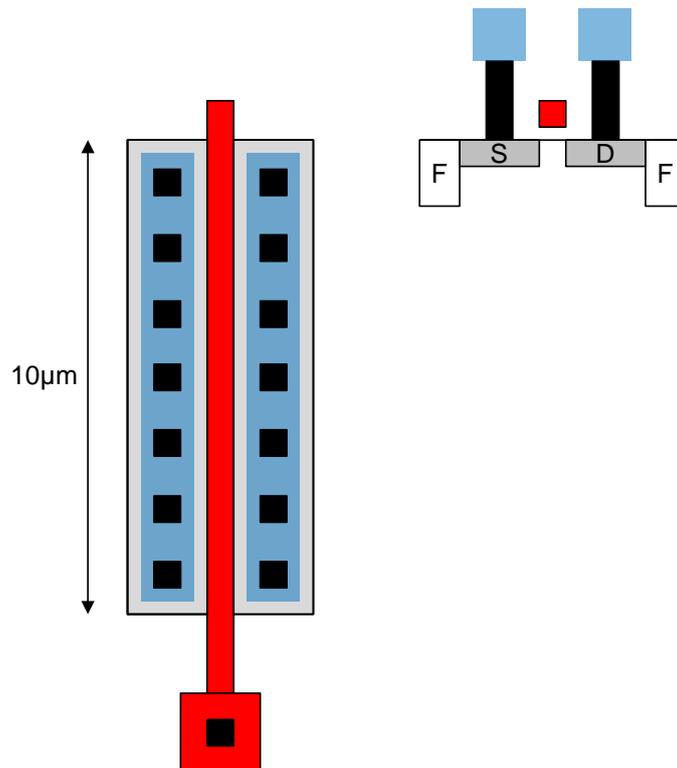


Abbildung 28: Layout des Transistors

In der Technologie ist der Kapazitätsbelag $C'_{gs} = 13\text{fF}/\mu\text{m}^2$ und der Gate-Schichtwiderstand $R'_{gate} = 12\Omega/\text{sq}$.

Die Gate-Source Kapazität ist:

$$C_{gs} \sim C'_{gs}WL = 7.6\text{fF}$$

Der Gate-Widerstand ist

$$R_{gate} = R'_{gate} \frac{W}{L} = 2\text{k}\Omega$$

Die Zeitkonstante ist

$$T_{gate} = R_{gate}C_{gs} = 15.6\text{ps}$$

Das entspricht einer Frequenz von $f = 1/(2\pi RC) = 10.2\text{GHz}$. Wenn wir Transistoren für hohe Frequenzen designen, sollen wir diese Zeitkonstante minimieren. Das kann durch ein besseres Layout wie in Abbildung 29 erreicht werden. Der Transistor wird als Parallelschaltung mehrerer Transistoren realisiert, um den Gate-Widerstand zu verkleinern.

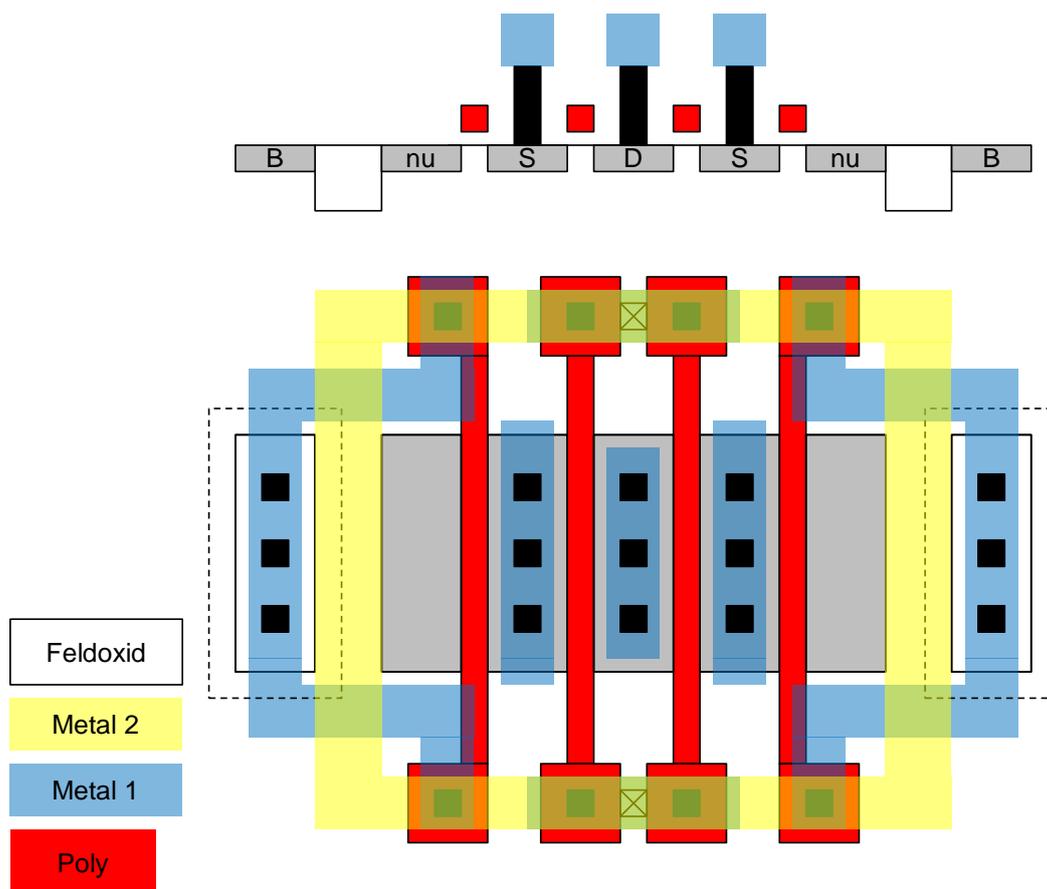


Abbildung 29: Layout des Transistors optimiert für hohe Frequenzen