

## Vorlesung 4

In dieser Vorlesung werden folgende Themen behandelt

Allgemeine Formel für alle Arbeitsbereiche

Schwache Inversion

Kapazitäten

Kleinsignalmodell

### Allgemeine Formel für alle Arbeitsbereiche (optional)

Man kann folgende Formel für den Triodenbereich herleiten:

$$I_{ds} = \mu C'_{ox} \frac{W}{L} \left( (V_{gs} - V_{thsb}) V_{ds} - n \frac{V_{ds}^2}{2} \right); V_{thsb} \equiv V_{th} + (n-1)V_{sb} \quad (1)$$

Die Herleitung befindet sich im Dokument „MOSFET Detailed“. Dieses Dokument ist nicht Teil des Kurses, nur optional.

Diese Formel berücksichtigt Substrateffekt, deswegen enthält sie die Faktoren  $n = C_{dep,min}/C_{ox}$  (slope factor) und  $V_{thsb}$ .

Die Formel ist nicht besonders schön, da sie in Bezug auf Source und Drain asymmetrisch ist. Die Transistorstruktur ist symmetrisch und es wäre gut wenn die Formel diese Eigenschaft widerspiegelt.

Das kann man folgenderweise verbessern:

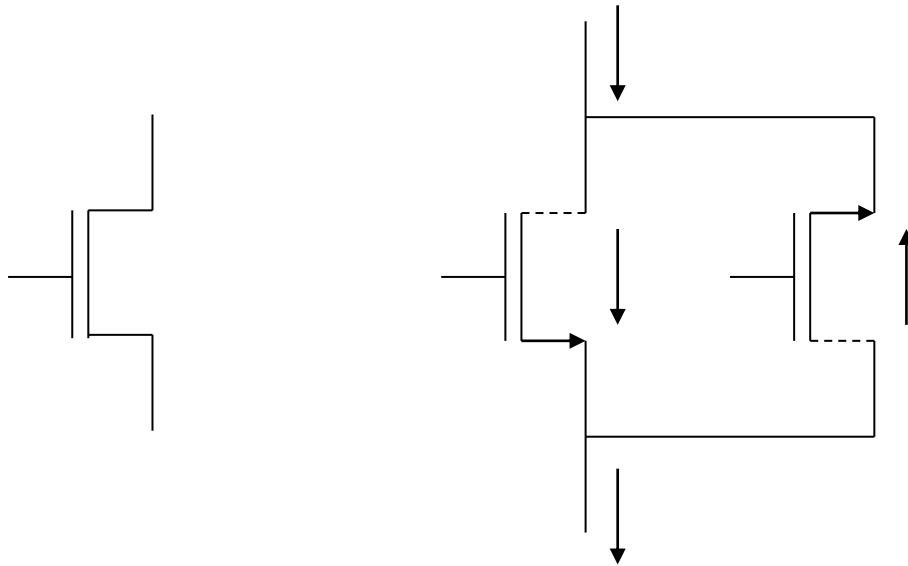
$$I_{ds} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th} - (n-1)V_{sb})^2 - \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gd} - V_{th} - (n-1)V_{db})^2 \quad (2)$$

oder

$$I_{ds} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2 - \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gd} - V_{thdb})^2 \quad (2b)$$

Man kann beweisen, dass aus (1) (2b) folgt, indem die Terme quadriert und addiert werden.

Die Formel (2b) gibt uns die Idee einen Transistor als Parallelschaltung von zwei idealen Transistoren darzustellen, Abbildung 1. Diese idealen Transistoren leiten den Strom immer von Drain nach Source und sind immer in Sättigung. Diese Darstellung ist für die Analyse mancher Schaltungen nützlich.



*Abbildung 1: Allgemeines Modell*

### **Schwache Inversion**

Die bisherigen Formeln und die Analyse setzen voraus, dass die Ladung im Kanal und  $I_{ds}$  Strom null sind, solange  $V_{gs}$  kleiner als die Schwelle ist.

$$I_{dssat} = \frac{1}{2n} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2 \quad (3)$$

Diese Formeln basieren auf einem einfachen Modell. Sie sind für einige Anwendungen und Schaltungen nicht korrekt genug.

Wir werden uns nun mit dem Arbeitsbereich wenn  $V_{gs}$  etwas kleiner als die Schwellenspannung  $V_{thsb}$  liegt beschäftigen. Wir nennen diesen Arbeitsbereich „schwache Inversion“ (subthreshold region). Für  $V_{gs} > V_{thsb}$  haben wir eine „starke Inversion“.

Wir hatten in der Vorlesung 2 die Substratpotentiale für den Fall  $V_{gs} = 0.35 \text{ V}$  berechnet, Abbildung 3. Fangen wir damit an.

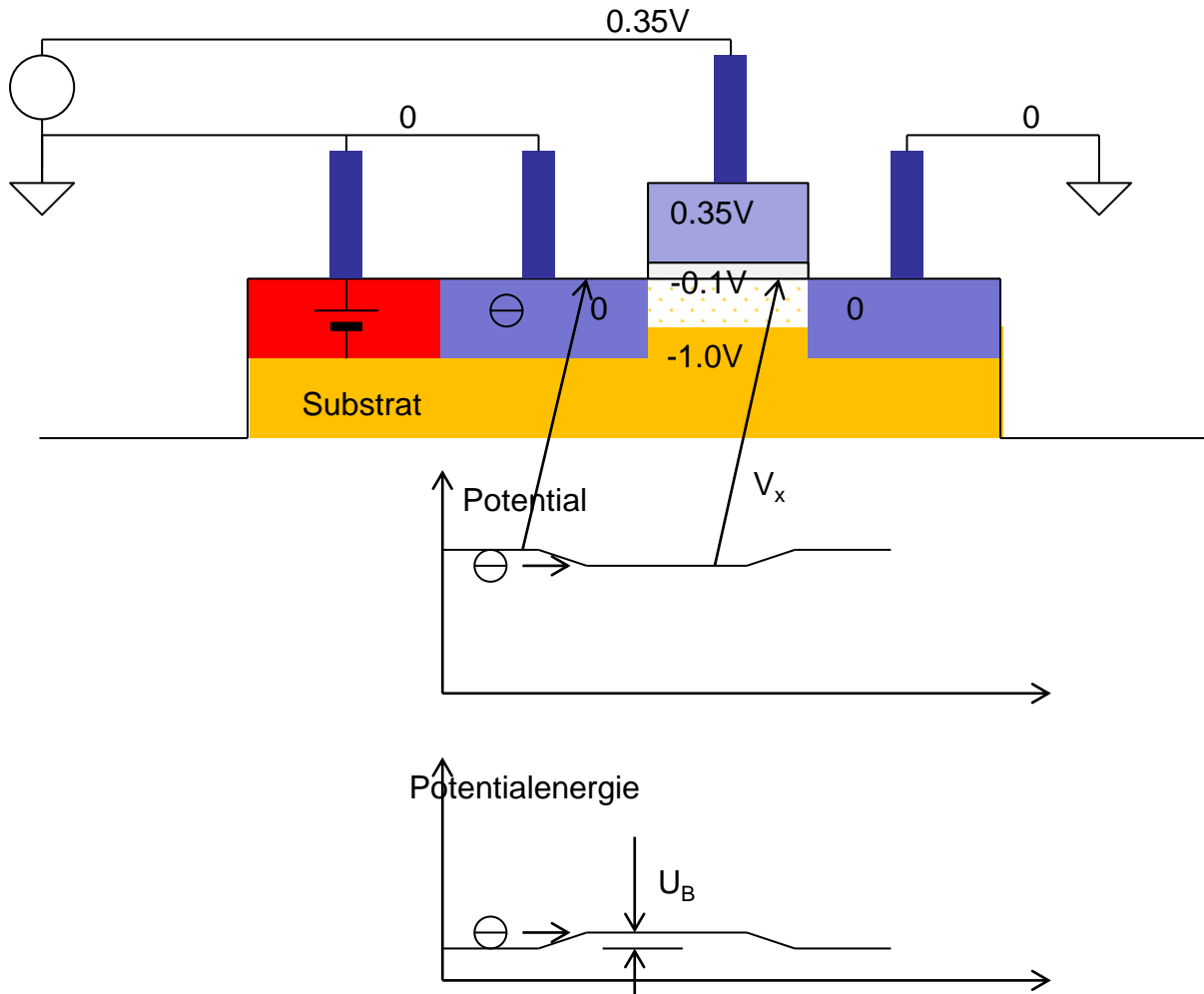


Abbildung 2: Potentiale im Substrat bei der schwachen Inversion

Wiederholen wir einige Fakten aus Halbleiterphysik: Source und Drain haben viele freie Elektronen weil sie n-Dotierung enthalten und auch weil sie auf einem höheren elektrostatischen Potential als Substrat sind. Das Substrat enthält Löcher weil es sich auf einem niedrigen Potential befindet. Löcher sammeln sich dort, wo Potential niedrig ist, die Elektronen dort wo es hoch ist. Ein positives Potential ist eine Barriere für die positive Ladung (Löcher). Ein negatives Potential ist die Barriere für Elektronen.

Schauen wir uns Abbildung 2. Der tiefere Substratbereich hat das Potential von - 1 V. An der Substratoberfläche unterhalb vom Gate-Oxid ist das Potential fast gleich wie im Source und Drain – in unserem Fall nur 0.1 V niedriger (- 0.1 V). Da die Potentialbarriere klein ist, kann ein Elektron aus der Source in den Drain gelangen wenn es eine zusätzliche kinetische Energie von thermischen Kristallschwingungen (Phononen) bekommt.

Was bedeutet „kleine Barriere“? Sie ist vergleichbar mit der mittleren thermischen Energie von Elektronen. Erinnern wir uns, dass die thermische Energie bei Zimmertemperatur (300 K) einer Spannung von  $U_T = 26 \text{ mV}$  entspricht. ( $U_T = kT/e$ ) Die thermische Energie ist die mittlere kinetische Energie von Elektronen bei einer Temperatur.

Versuchen wir nun den Strom zwischen Drain und Source abzuschätzen, der wegen der thermischen Energie und dem Gradient von Elektronendichte entsteht.

Erste Annahme ist, dass es sich um einen Diffusionsstrom handelt. Wir sollen also die Ladungsträgerdichte/pro Fläche<sup>1</sup> im Substratbereich zwischen Source und Drain abschätzen. Wenn wir die Dichten kennen, können wir den Strom aus der Gleichung für Diffusionsstrom berechnen.

Die Ladungsträgerdichte (im Fall von NMOS die Elektronendichte) können wir in einigen Schritten berechnen. Der erste Schritt ist die Berechnung des elektrischen Potentials unterhalb Gate-Oxid als Funktion der vertikalen Koordinate  $z$ . Der zweite Schritt ist die Berechnung der Dichte als Funktion des Potentials und der dritte Schritt die Integration der Dichte in  $z$ -Richtung. Wir werden hier diese Herleitungen nicht ganz exakt durchführen<sup>2</sup>.

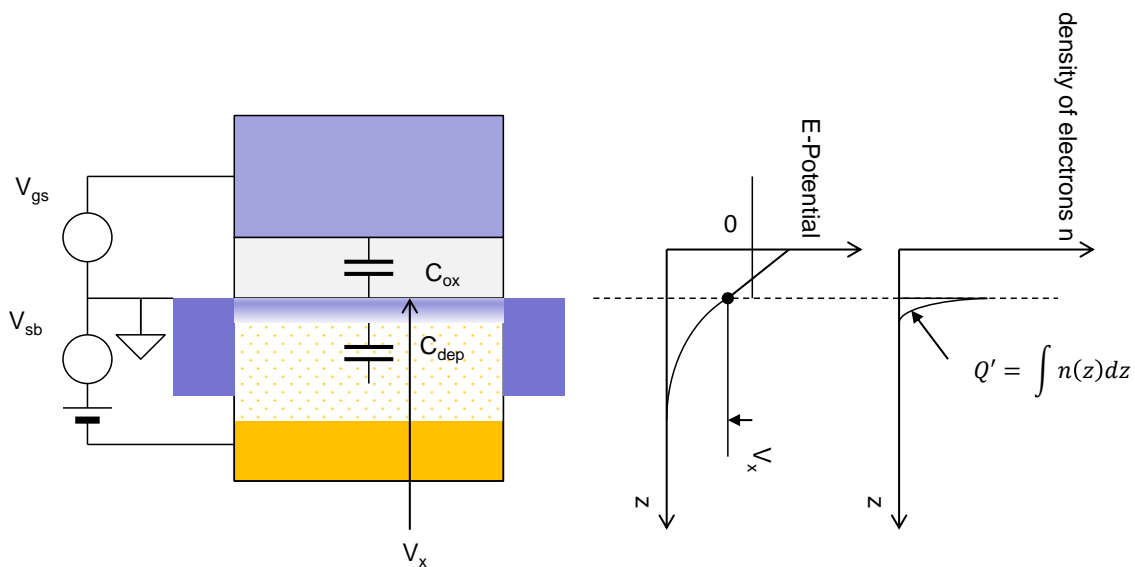


Abbildung 3: Potentialverlauf und Elektronendichte im Substrat

Zum Beispiel wir werden nicht das Potential als Funktion von  $z$  herleiten sondern nur die Formel für das Potential an der Si-SiO<sub>2</sub> Grenze  $V_x$  schreiben:

$$V_x = \frac{C_{ox}}{C_{dep} + C_{ox}} (V_{gs} - V_{thsb}) \quad (4)$$

Wir rechnen auch in dieser Vorlesung eine kleine  $V_x$  Änderung gegenüber dem  $V_x$  Wert für  $V_{gs} = V_{thsb}$ . Wir können dann folgendes annehmen:

$$C_{dep} = C_{dep,min}$$

$C_{dep}$  ist die dynamische Kapazität für  $V_{dep} = V_{cont}$ .

<sup>1</sup> Ladungsträgerdichte integriert in  $z$ -Richtung

<sup>2</sup> Für die genaue Herleitung verweise ich auf Dokument „MOSFET Detailed“.

Die Höhe der Potentialbarriere  $U_B$  ist die Differenz vom Source Potential  $V_s$  und dem Potential vom Silizium unterhalb  $\text{SiO}_2 - V_x$ . Dieses Potential ist für  $V_{gs} = V_{thsb}$  null. Für niedrigere  $V_{gs}$  gilt die Formel:

$$U_B = -V_x = -\frac{C_{ox}}{C_{dep} + C_{ox}}(V_{gs} - V_{thsb}) = -\frac{(V_{gs} - V_{thsb})}{n} \quad (5)$$

Eine negative Spannung ist für Elektron eine positive Barriere, deshalb schreiben wir minus Vorzeichen vor  $V_x$  in (5).

$$Q' = C'_{dep} U_T e^{-U_B/U_T} = C'_{dep} U_T e^{(V_{gs} - V_{thsb})/nU_T}$$

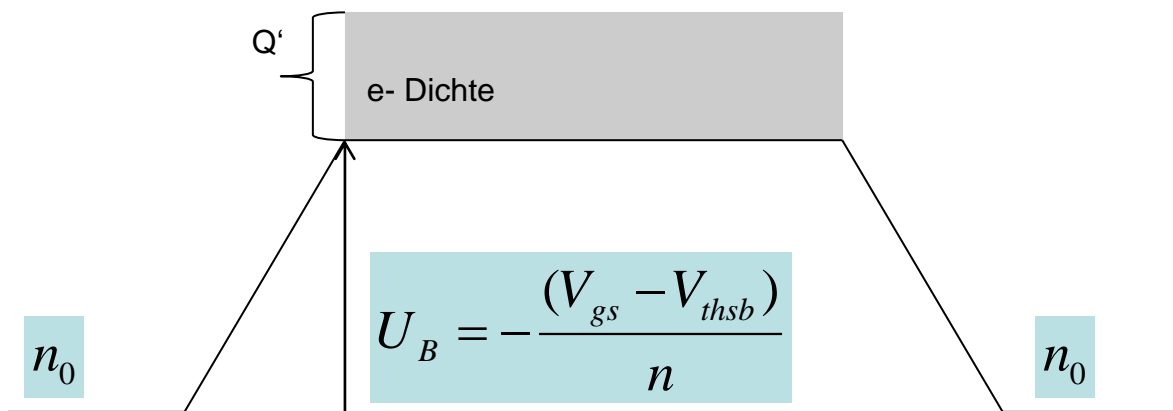


Abbildung 4: Ladungsträgerdichte um Kanalbereich für  $V_{gs} < V_{th}$

Berechnen wir jetzt die Dichte der Elektronen unterhalb  $\text{SiO}_2$ . Die Elektronendichte in Source ist  $n_0 = N_d$ .  $N_d$  ist die Dichte der Donator-Atome. Elektronendichte in thermodynamischen Gleichgewicht ist durch Maxwell Boltzmann Verteilung beschrieben.

Die Frage ob es sich um thermodynamische Gleichgewicht handelt ist immer schwierig wenn Ströme fließen. Wir können wenigstens annehmen dass die PN-Übergänge zwischen der Source und dem Substrat und zwischen dem Drain und dem Substrat im Gleichgewicht sind und, dass die Elektronendichten in Source und in Drain gleich  $N_d$  sind.

Deswegen ist die Elektronendichte im Kanalbereich in der Nähe von  $\text{SiO}_2$  (an der Substrat-Oberfläche):

$$n = N_d e^{-U_B/U_T}$$

Die Berechnung der Dichte / Fläche ist nicht so einfach. Im Prinzip, wir müssten die Integration in  $z$ -Richtung durchführen. Dafür brauchen wir die Funktion  $n(z)$ . Eine genaue Berechnung befindet sich im Dokument „MOSFET Detailed“. Das Ergebnis ist relativ einfach und intuitiv:

$$Q' = \int n(z) dz = \int n_0 e^{-V(z)/U_T} dz = \dots ??? \dots = C'_{dep} U_T e^{-U_B/U_T} \quad (6)$$

$Q'$  ist die Ladung pro Flächeneinheit.  $C'_{dep}$  ist die dynamische Kapazität der Verarmungszone dividiert durch die Fläche. Genau genommen es ist  $C'_{dep} = C'_{dep,min}$ , wo  $C_{dep,min}$  der Wert für  $V_{dep} = V_{cont}$  ist.

Die Ladungsträgerdichte ist im Bereich unterhalb von Gate in x-Richtung gleichmäßig verteilt. In diesem Fall fließt kein Diffusionsstrom in x-Richtung.

Ein Strom kann nur dann entstehen wenn es einen Gradient der Ladungsträgerdichte gibt. Der Gradient entsteht bei einer Spannung zwischen Drain und Source.

Wie groß ist die Potentialbarriere zwischen Drain und Substrat? Wegen dem Substrateffekt ist die Schwelle am Drain um  $(n-1) V_{ds}$  größer als  $V_{thsb}$ . Deswegen ist die Barriere zwischen Drain und Substrat-Oberfläche:

$$U_{B,D} = -\frac{(V_{gd} - V_{thsb} - (n-1)V_{ds})}{n} = -\frac{(V_{gs} - V_{thsb})}{n} + \frac{(V_{ds} + (n-1)V_{ds})}{n} = U_{B,S} + V_{ds} \quad (7)$$

$U_{B,S}$  ist die Potentialbarriere zwischen Source und Substrat.

Die Ladungsträgerdichte in der Nähe von Drain ist also um  $\exp(-V_{ds}/U_T)$  kleiner als in der Nähe von Source. Dieses Ergebnis bekommen wir, wenn wir die Maxwell-Boltzmann Formel im Übergangsbereich zwischen Drain und Substrat verwenden. Die Elektronendichte im Drain ist  $N_d$  und die Dichte unterhalb Gate in der Nähe von Drain  $N_d \exp(-U_{B,D}/U_T) = Q_s \exp(-V_{ds}/U_T)$ .

Beachten wir folgendes: Maxwell-Boltzmann Formel scheint im Kanalbereich nicht zu funktionieren. Dort ist das Potential überall gleich Abbildung 5, aber die Elektronendichte ändert sich von  $Q_s$  zu  $Q_d$ . Der Grund dafür ist, dass dieser Bereich nicht in Gleichgewicht ist, wenn ein Strom fließt. Die Fermi-Energie (ein Parameter der Fermi-Dirac Verteilung) ist im Kanalbereich nicht konstant. Deswegen können wir die Fermi-Dirac Verteilung nicht durch Maxwell-Boltzmann Formel im Kanalbereich approximieren.

Zusammenfassung:

Die Ladungsträgerdichte in der Nähe von Source ist (Abbildung 5)

$$Q'_s = C'_{dep} U_T e^{(V_{gs} - V_{thsb})/nU_T} \quad (8)$$

Die Ladungsträgerdichte in der Nähe von Drain ist

$$Q'_d = Q'_s e^{-V_{ds}/U_T} \quad (9)$$

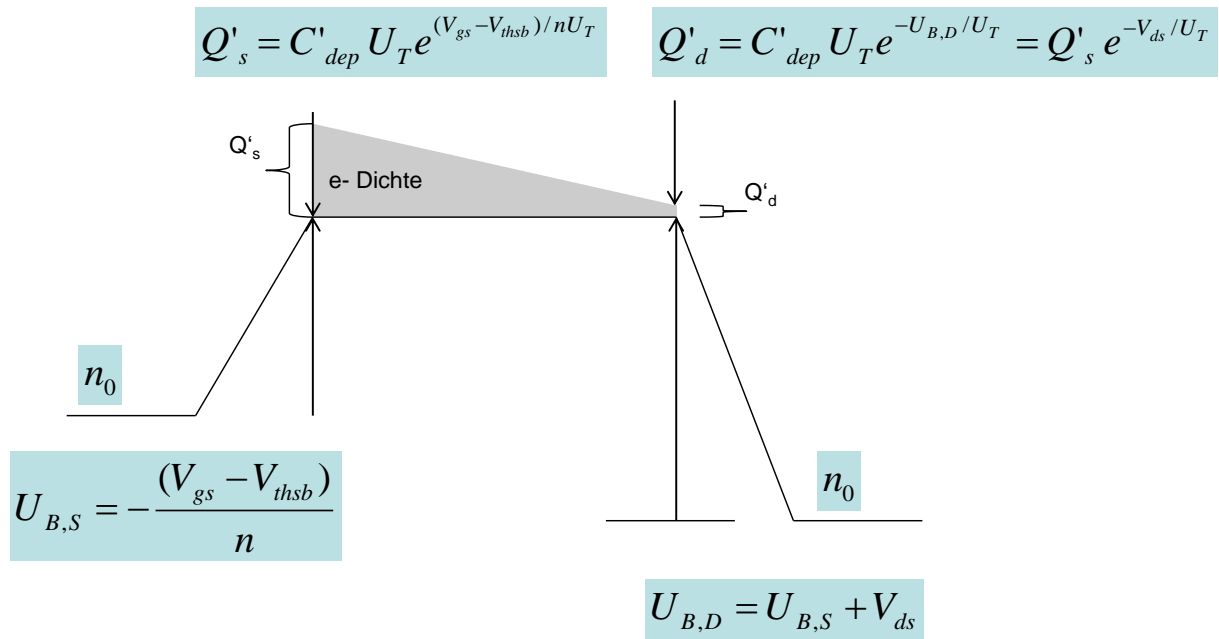


Abbildung 5: Ladungsträgerdichte um Kanalbereich für  $V_{gs} < V_{th}$  und für  $V_{ds} > 0$

Wegen unterschiedlichen Ladungsträgerdichten entsteht ein Diffusionsstrom.

Dieser Strom ist durch die folgende Gleichung beschrieben:

$$|I| = W \cdot D \cdot \frac{dQ}{dx} \quad (10)$$

D ist die Diffusionskonstante. Für D gilt die Einstein-Gleichung:

$$D/\mu = U_T \quad (11)$$

Aus (9) – (11) folgt (Abbildung 6):

$$I \approx W \cdot D \cdot \frac{Q'_s - Q'_d}{L} = \frac{W}{L} \mu U_T Q'_s (1 - e^{V_{ds}/U_T}) \quad (12)$$

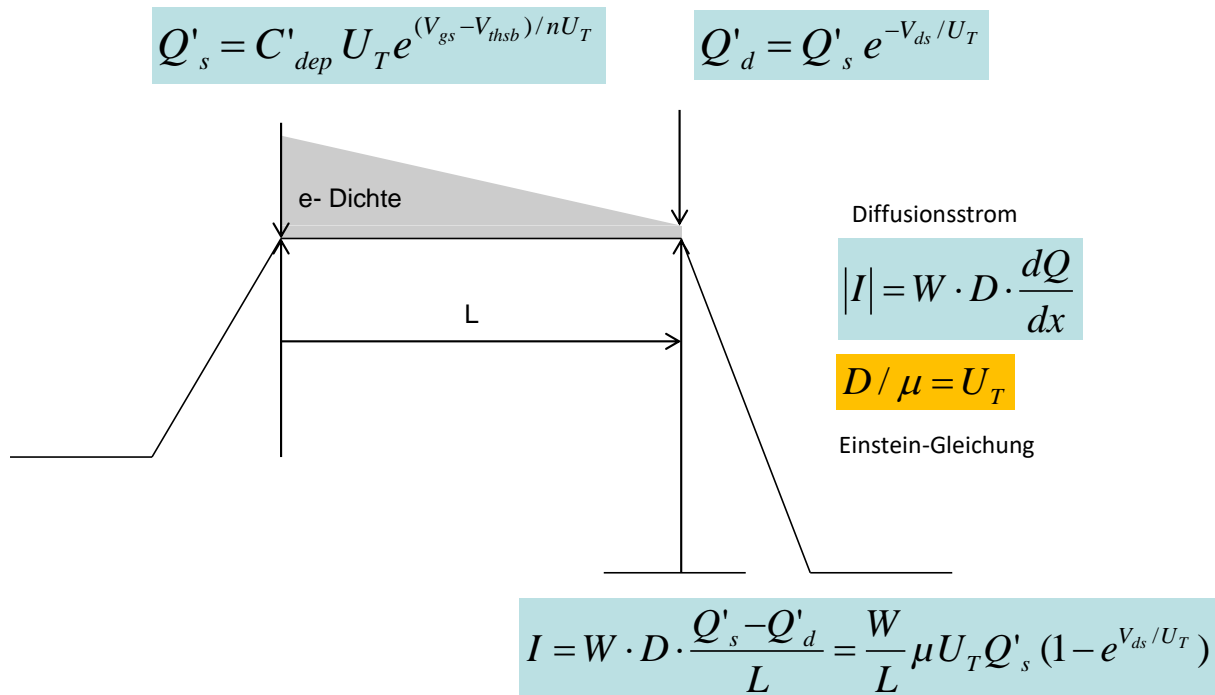


Abbildung 6: Diffusionsstrom

Die Kennlinie  $I_{ds} = f(V_{ds})$  (12) zeigt ein Sättigungsverhalten für  $V_{ds} > \text{einige } U_T$ . (Abbildung 7)

$$I_{ds} = \text{const} \cdot e^{(V_{gs} - V_{thsb})/nU_T} (1 - e^{-V_{ds}/U_T})$$

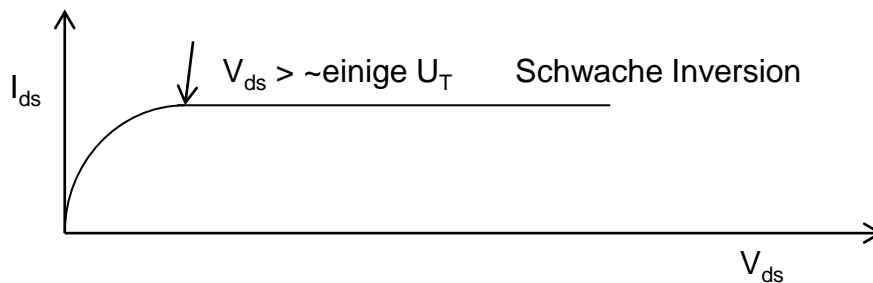


Abbildung 7: Schwache Inversion - Stromsättigung

Es gilt (wir setzen  $V_{ds} > \text{einige } U_T$  in (12) ein)

$$I_{dssat} = \frac{W}{L} \mu U_T Q'_s \quad (13)$$

Es gilt auch (8):

$$Q'_s = C'_{dep} U_T e^{(V_{gs} - V_{thsb})/nU_T}$$

und

$$C'_{dep} = (n - 1)C'_{ox} \quad (14)$$



Aus (8), (14) und (13) folgt die Formel für Sättigungsstrom bei  $V_{gs} < V_{th}$ .

$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n-1) \cdot e^{(V_{gs}-V_{thsb})/nU_T} \quad (15)$$

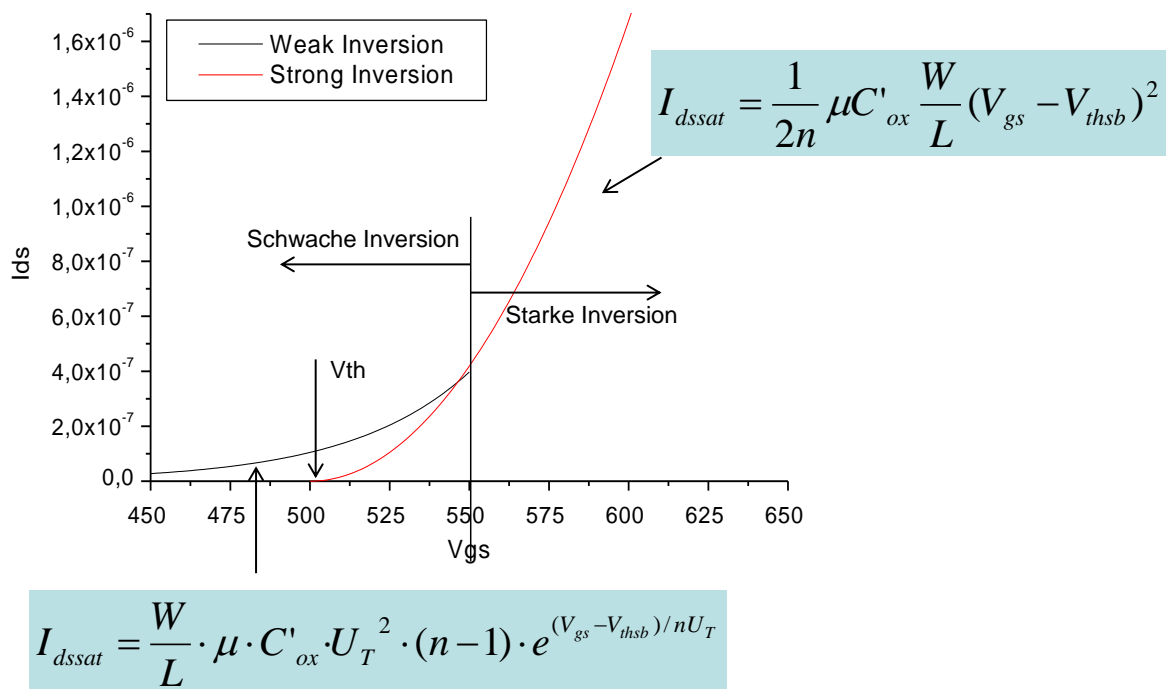
Wir schließen daraus:

1) Ein Transistor ist nie wirklich aus. Für  $V_{gs} = V_{thsb}$ , wo wir nach der Formel für starke Inversion  $I_{dssat} = 0$  erwarten, fließt bereits ein Strom von etwa  $W/L \times 100$  nA. (Das bekommen wir aus (15))

2) Die Bedingung für Sättigung in schwacher Inversion ist  $V_{ds} > \text{einige } U_T$ . Die  $V_{dssat}$  hängt nicht von  $V_{gs}$  ab, wie es in starker Inversion war.

Starke Inversion:  $V_{ds} > (V_{gs} - V_{thsb})/n$ .

Das ist ein interessantes Ergebnis, das manche Schaltungen wie z.B. Stromspiegel beeinflussen kann.



$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n-1) \cdot e^{(V_{gs}-V_{thsb})/nU_T}$$

Abbildung 8: Verschiedene Arbeitsbereiche

Ein Strom von 100 nA mag klein aussehen, aber in vielen Anwendungen ist er bedeutend. Stellen wir uns eine DRAM Zelle mit 10 fF Kapazität vor. Bei einem Strom von 100 nA verliert sie Ladung innerhalb von nur etwa 100 ns!

Schwache Inversion führt zum DC Stromverbrauch in CMOS Logik.

Wir können  $V_{gs}$  Wertebereich auf schwache Inversion ( $V_{gs} < V_{thsb} + \text{einige } U_T$ ), und starke Inversion ( $V_{gs} > V_{thsb} + \text{einige } U_T$ ) unterteilen, wie Abbildung 8 zeigt.

Für starke Inversion gilt die Gleichung

$$I_{dssat} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2 \quad (16)$$

für schwache Inversion die Gleichung (15)

$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n-1) \cdot e^{(V_{gs}-V_{thsb})/nU_T}$$

Die Bedingung für Sättigung in schwacher Inversion ist  $V_{ds} > \text{einige } U_T$ . Wie gesagt, die  $V_{dssat}$  hängt nicht von  $V_{gs}$  ab, wie es in starker Inversion war.

Eine weitere Folge von schwacher Inversion ist es, dass wir die Transkonduktanz durch Vergrößerung von  $W/L$  nicht beliebig erhöhen können, wenn Bias-Strom konstant bleibt.

Rechnen wir die Transkonduktanz als  $dI_{dsat}/dV_{gs}$ :

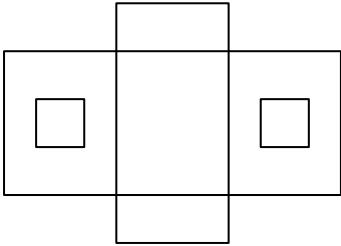
Aus  $I_{ds}$  - Formel für starke Inversion (16) bekommen wir:

$$g_m = \sqrt{2kI_{dssat} \cdot (W/L)}; k = \mu C'_{ox} / n \quad (17)$$

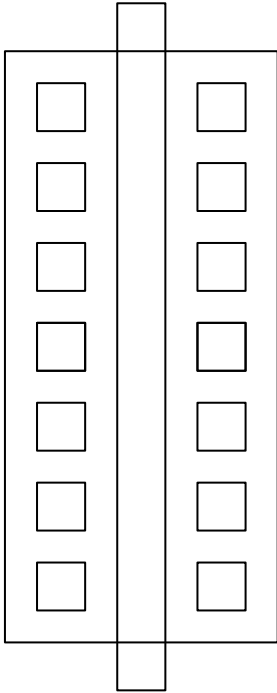
Aus  $I_{ds}$  - Formel für schwache Inversion (15) bekommen wir:

$$g_m = I_{dssat} / nU_T \quad (18)$$

Die Formel (17) suggeriert, dass die Transkonduktanz beliebig vergrößert werden kann wenn der Transistor breiter und kürzer gemacht wird. Das ist nicht richtig: Bei einem konstanten (Bias-)Strom und bei der Zunahme von  $W/L$  muss  $V_{gs} - V_{thsb}$  sinken (16). Der Transistor wird dadurch in die schwache Inversion versetzt, wo die Transkonduktanz nicht mehr vom  $W/L$  abhängt.  $G_m$ -Anstieg wird gestoppt.  $I_{dssat}/n \times U_T$  ist also die maximale Transkonduktanz bei einem bestimmten  $I_{dssat}$  Bias-Strom.



$$g_m = \sqrt{2kI_{dssat}} (W / L)$$



$$g_m = I_{dssat} / nU_T$$

Abbildung 9: Transistor in startker Inversion (links) und Transistor in startker Inversion (rechts)

An dieser Stelle möchte ich die Formeln für den  $I_{ds}$  Strom zusammenzufassen

## Starke Inversion

### Einfaches Modell mit Substrateffekt

$$I_{ds} = \frac{\mu_0 C'_{ox} W}{L} \left( (V_{gs} - V_{thsb}) V_{ds} - n \frac{V_{ds}^2}{2} \right)$$

Sättigungsspannung

$$V_{ds} = \frac{V_{gs} - V_{thsb}}{n} \equiv V_{dssat}$$

Sättigungsstrom

$$I_{dssat} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2$$

Substrateffekt

$$V_{thsb} = V_{th} + (n-1)V_{sb}$$

$n = 1 + C_{dep,min} / C_{ox}$  ist slope factor,  $n \sim 1.25$ .

Falls wir Substrateffekt nicht berücksichtigen, setzen wir  $n = 1$ .

### Modell mit Beweglichkeitsättigung

$$I_{ds} = \frac{\mu_0 C'_{ox} W}{L \left( 1 + \frac{V_{ds}}{LE_{sat}} \right)} \left( (V_{gs} - V_{thsb}) V_{ds} - n \frac{V_{ds}^2}{2} \right)$$

Sättigungsspannung

$$V_{ds} = \frac{V_{gs} - V_{thsb}}{n\alpha} \equiv V_{dssat}$$

$$\alpha = \left( 1 + \frac{V_{gs}}{nE_{sat}L} \right)$$

Sättigungsstrom

$$I_{dssat} = \frac{1}{2n\alpha} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2$$

## Schwache Inversion

$$I_{ds} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n-1) \cdot e^{(V_{gs}-V_{thb})/nU_T} (1 - e^{-V_{ds}/U_T})$$

Sättigungsspannung

z.B.  $V_{ds} > 3U_T$

Sättigungsstrom

$$I_{dssat} = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot U_T^2 \cdot (n-1) \cdot e^{(V_{gs}-V_{thb})/nU_T}$$

**Early-Effekt**

$$I_{ds} = I_{dssat} (1 + (V_{ds} - V_{dssat})/E_{sat} L)$$

**Schwelle-Spannung**

$$V_{th} = \frac{2C'_{dep,min}}{C'_{ox}} \times V_{cont} = \frac{\sqrt{2eN_a \epsilon_0 \epsilon_{Si} V_{cont}}}{C'_{ox}}$$

$$V_{cont} = 2U_T \ln\left(\frac{N_a}{n_i}\right)$$

Folgende Werte sind realistisch für eine 65 nm Technologie

$E_{sat}$  für PMOS ~ 10.4 V/ $\mu$ m und  $E_{sat}$  für NMOS ~ 9.7 V/ $\mu$ m

$\mu$ (NMOS) =  $2.64 \times 10^{-2} \text{ m}^2/\text{Vs}$  und  $\mu$ (PMOS) =  $1.45 \times 10^{-2} \text{ m}^2/\text{Vs}$

$C'_{ox}$  = 13.28 fF/ $\mu\text{m}^2$  oder 0.01328F/ $\text{m}^2$

## Kapazitäten

In der Transistorstruktur haben wir an mehreren Stellen Raumladung, wie Abbildung 10 zeigt. Die Ladungsmengen hängen von Spannungen zwischen den Transistorelektroden. Deshalb entstehen Kapazitäten. Die Beziehungen zwischen den Ladungsmengen und Spannungen sind in der Regel nichtlinear. Für das Kleinsignalmodell werden deshalb so genannte dynamische Kapazitäten als  $dQ(V)/dV$  im Arbeitspunkt definiert.

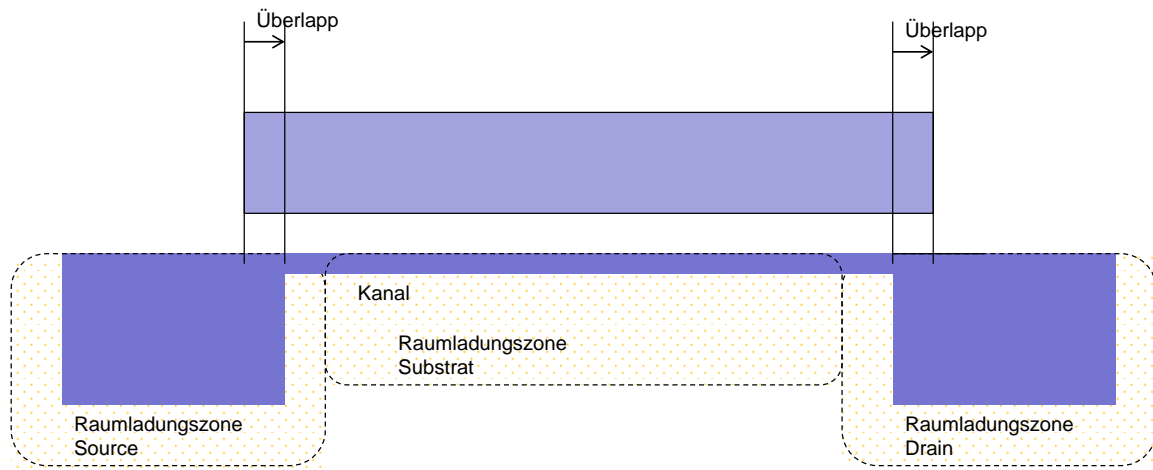


Abbildung 10: Raumladung in einer MOSFET Struktur

## Gate Kapazität

Die wichtigste Kapazität im Transistor ist die Gate Kapazität. Wir haben bereits gesehen, dass unterhalb des Gates zwei Kapazitäten entstehen – die Oxidkapazität  $C_{ox} = C'_{ox} \times W \times L$  und die Kapazität der Verarmungszone  $C_{dep} = C'_{dep} \times W \times L$ .

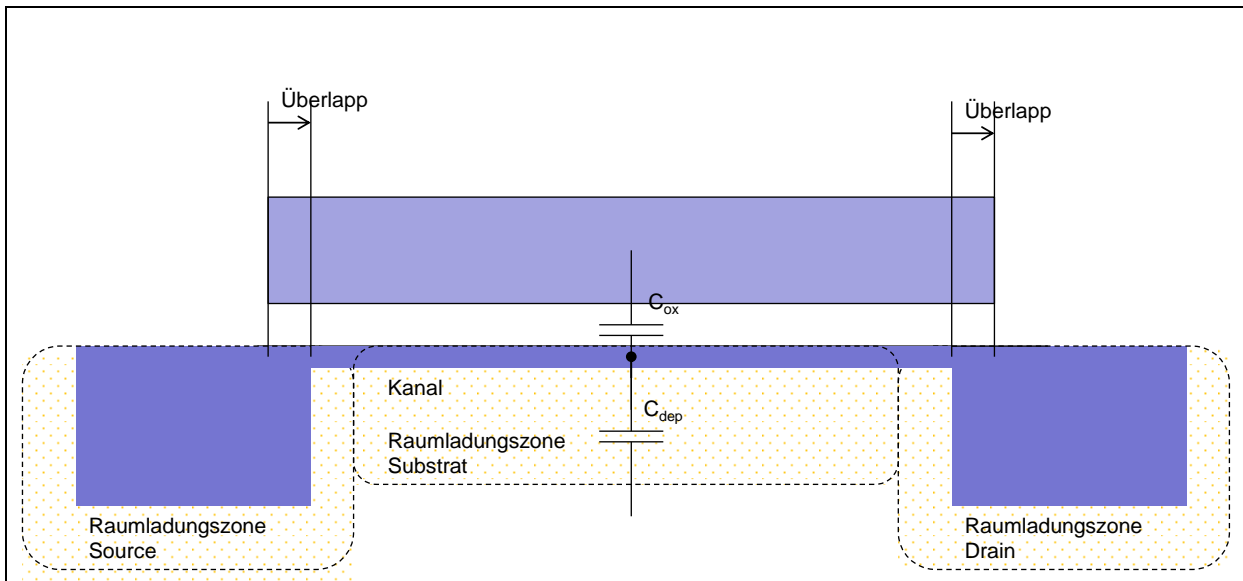


Abbildung 11: Gate-Kapazität

Je nachdem ob sich der Transistor in schwacher oder starker Inversion befindet, unterscheidet sich die Gate Kapazität.

### $C_{gate}$ in schwacher Inversion

Die Gate Kapazität  $C_{gate}$  ist die Reihenschaltung von  $C_{ox}$  und  $C_{dep}$

$$C_{gate} = C_{gb} = WL \frac{C_{ox} C_{dep}}{C_{ox} + C_{dep}}$$

Die Kapazität wirkt zwischen dem Gate und dem Substrat, Abbildung 12.

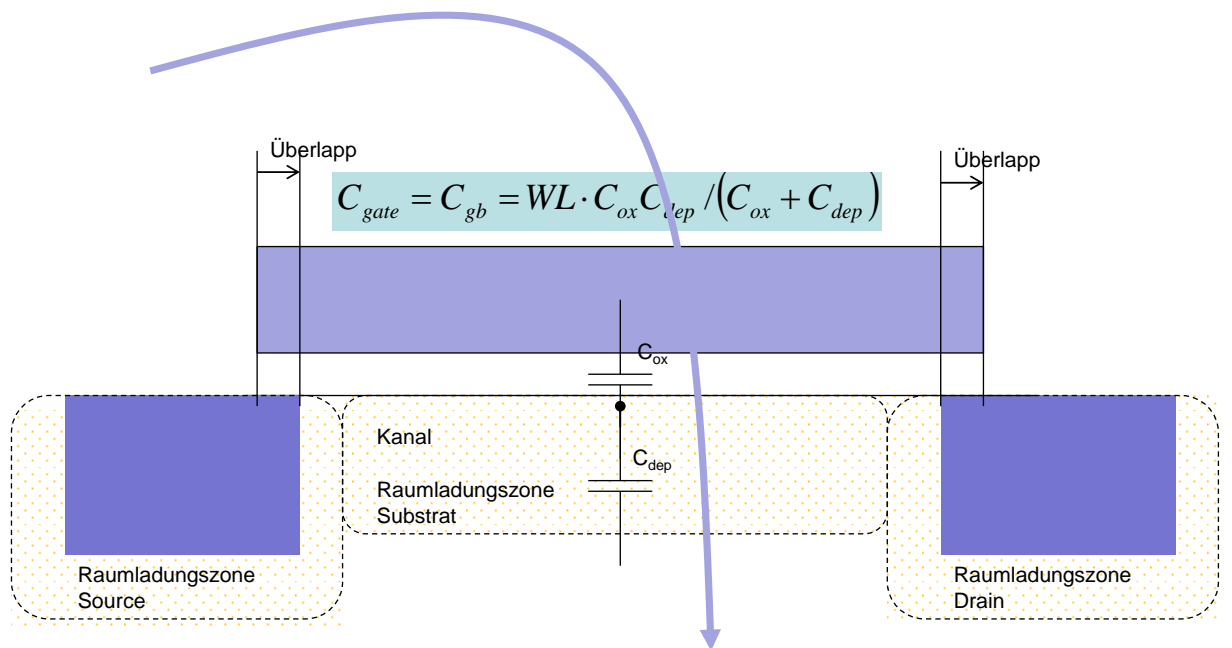


Abbildung 12: Gate-Kapazität in schwacher Inversion

**$C_{gate}$  in starker Inversion und  $V_{ds} = 0$**

Die Spannung zwischen den Kontakten der Kapazität  $C_{dep}$  ist fest – der Kanal ist mit den Source und Drain kurzgeschlossen. Deshalb „sehen“ wir  $C_{dep}$  nicht, wenn wir die Spannung am Gate ändern, Abbildung 13. Die Ladungsmenge in der Verarmungszone ändert sich nicht. Von den ursprünglich zwei Kapazitäten bleibt nur  $C_{ox}$ . Die Gate Kapazität ist dann:

$$C_{gate} = C_{gsd} = WLC'_{ox}$$

Die Kapazität ist also größer als in schwacher Inversion. Diese Kapazität wirkt zwischen dem Gate und Source und zwischen dem Gate und Drain gleichmäßig.

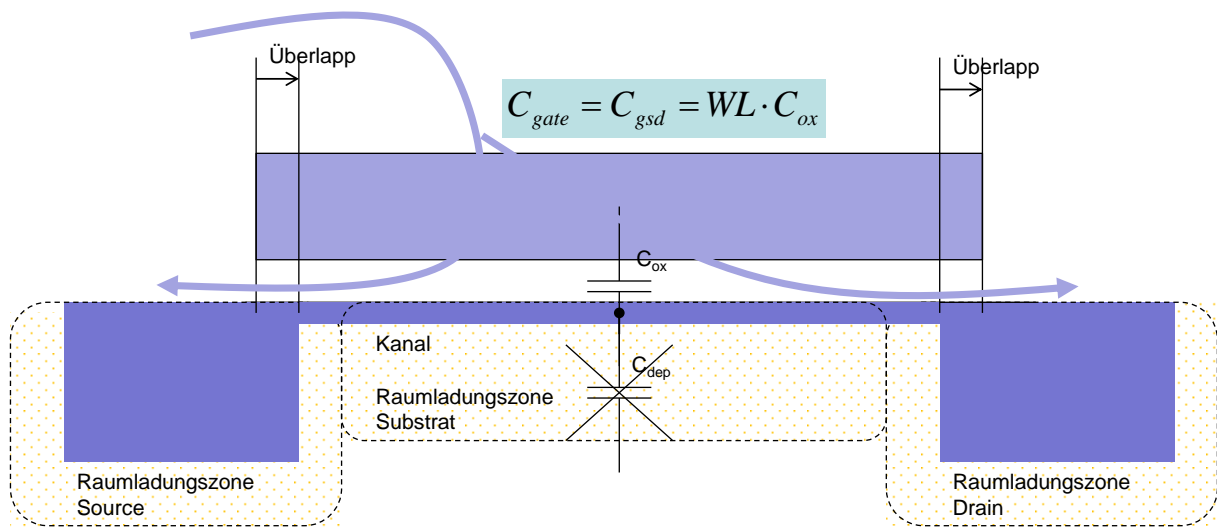


Abbildung 13: Gate-Kapazität in starker Inversion, für  $V_{ds} = 0$

**$C_{gate}$  in starker Inversion und Sättigung ( $V_{ds} > V_{dssat}$ )**

Man kann zeigen, dass in Sättigung die Ladungsmenge im Kanal etwa  $2/3$  von der für  $V_{ds} = 0$  ist. Deshalb ist die Gate-Kapazität etwa

$$C_{gate} = \frac{2}{3} WLC'_{ox}$$

Da der Kanal in Sättigung von Drain abgekoppelt ist, wirkt die Kapazität nur zwischen Gate und Source.

$$C_{gate} = C_{gs} = \frac{2}{3} WLC'_{ox}$$

Es gibt, in erster Näherung, keine Kapazität zwischen Drain und Gate, Abbildung 14.



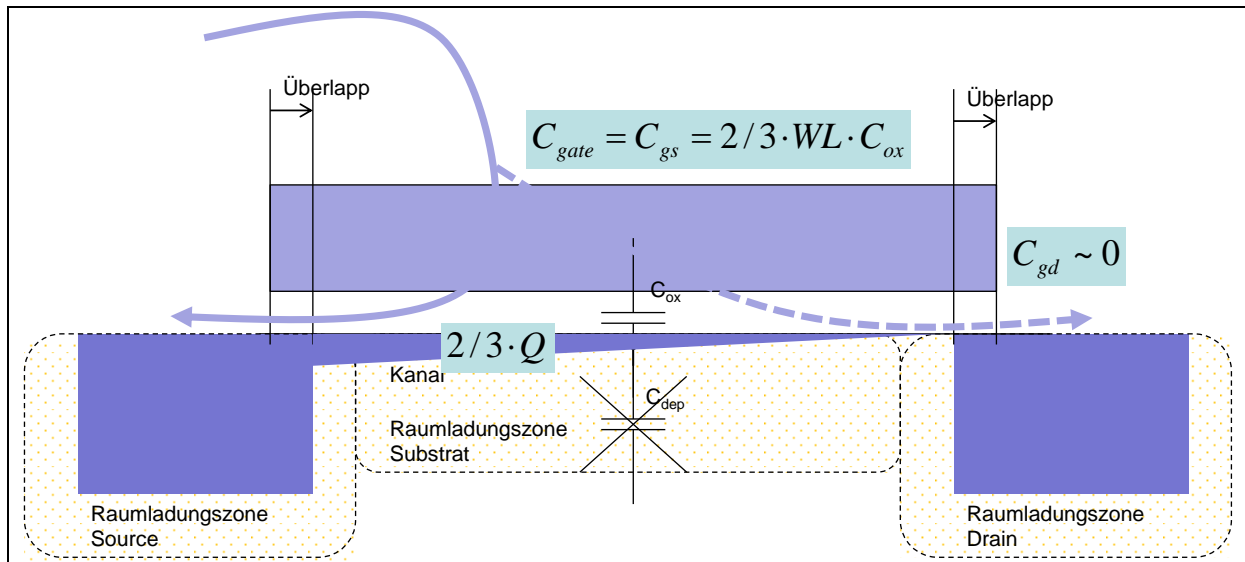


Abbildung 14: Gate-Kapazität in starker Inversion, für  $V_{ds} > V_{dssat}$

Außer Gate Kapazitäten haben wir noch die folgenden kleineren Kapazitäten, Abbildung 15.

PN Übergang Kapazitäten (junction Kapazitäten)  $C_{jd}$ ,  $C_{js}$ .

Überlappkapazitäten  $C_{gs,ovl}$  und  $C_{gd,ovl}$ . Diese Kapazitäten kommen zustande weil sich die Source und Drain Bereiche teilweise unter dem Gate-Oxid Gate verbreiten. (wegen Diffusion)

Insbesondere ist  $C_{gd,ovl}$  wichtig – die Drain-Gate Kapazität wird in den Verstärkern durch den Miller-Effekt verstärkt.

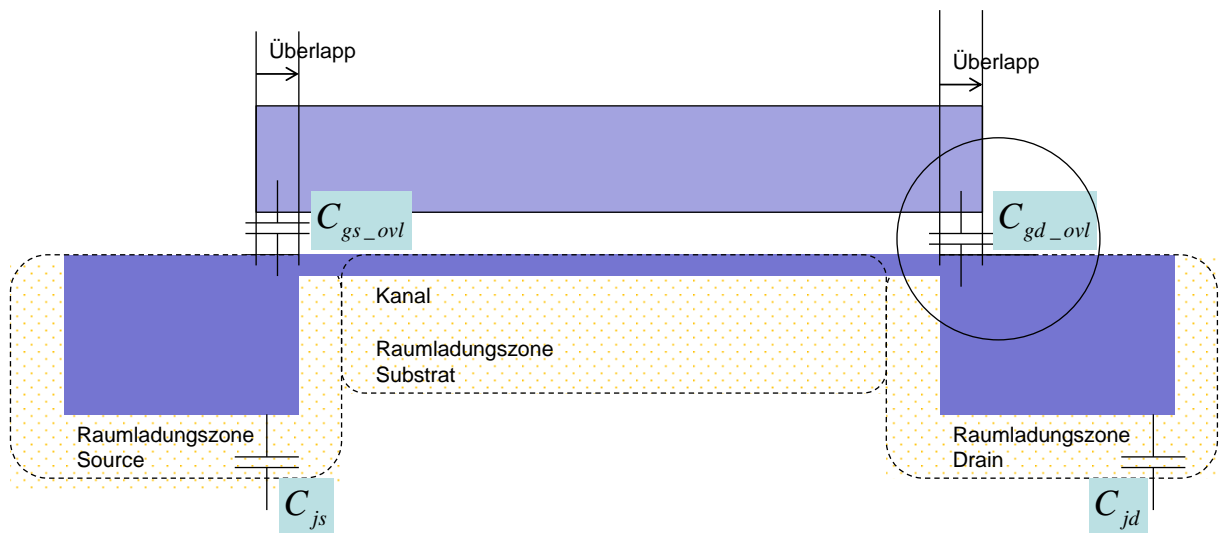


Abbildung 15: Weitere kleinere Kapazitäten

### Kleinsignalmodell des Transistors

Das vollständige Kleinsignalmodell des Transistors ist in Abbildung 16 gezeigt.

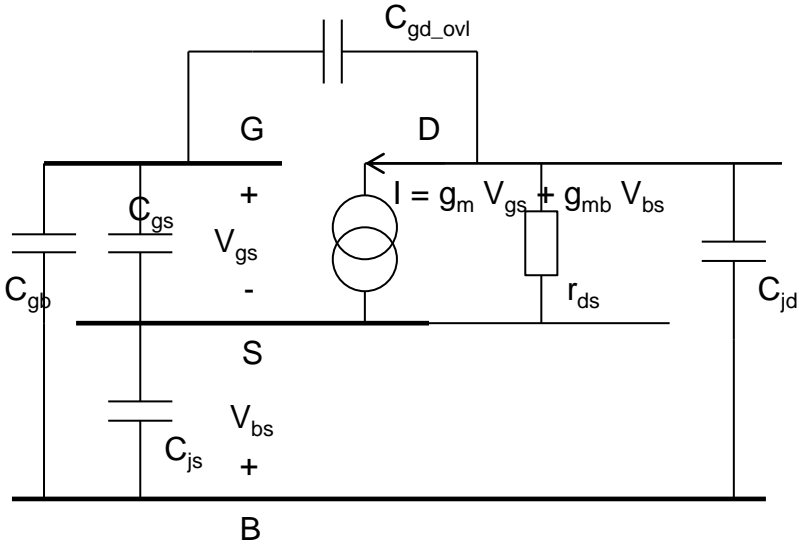


Abbildung 16: Kleinsignalmodell des MOS Transistors