

Vorlesung 3

In dieser Vorlesung werden folgende Themen behandelt

Zusammenfassung von MOSFET Gleichungen

Substrateffekt

Kanallängenmodulation (Early-Effekt)

MOSFET Gleichungen

Der elektrische Zustand des Transistors wird durch zwei Spannungen – V_{gs} und V_{ds} und durch zwei Ströme I_{ds} und I_{gs} beschrieben. Für DC Signale gilt $I_{gs} = 0$. Gate stellt nur eine Kapazität dar, Abbildung 1.

(Wir vernachlässigen Gate-Ströme, die wegen Tunneleffekt entstehen können.)

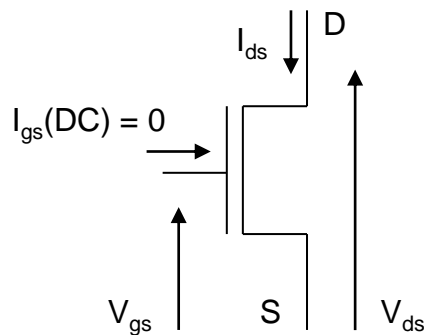


Abbildung 1: Transistor

Abbildung 2 zeigt die Transistorkennlinien: Transistorverhalten für DC Signale (langsame Spannungen und Ströme beliebiger Amplitude) kann mit folgenden Kennlinien beschrieben werden.

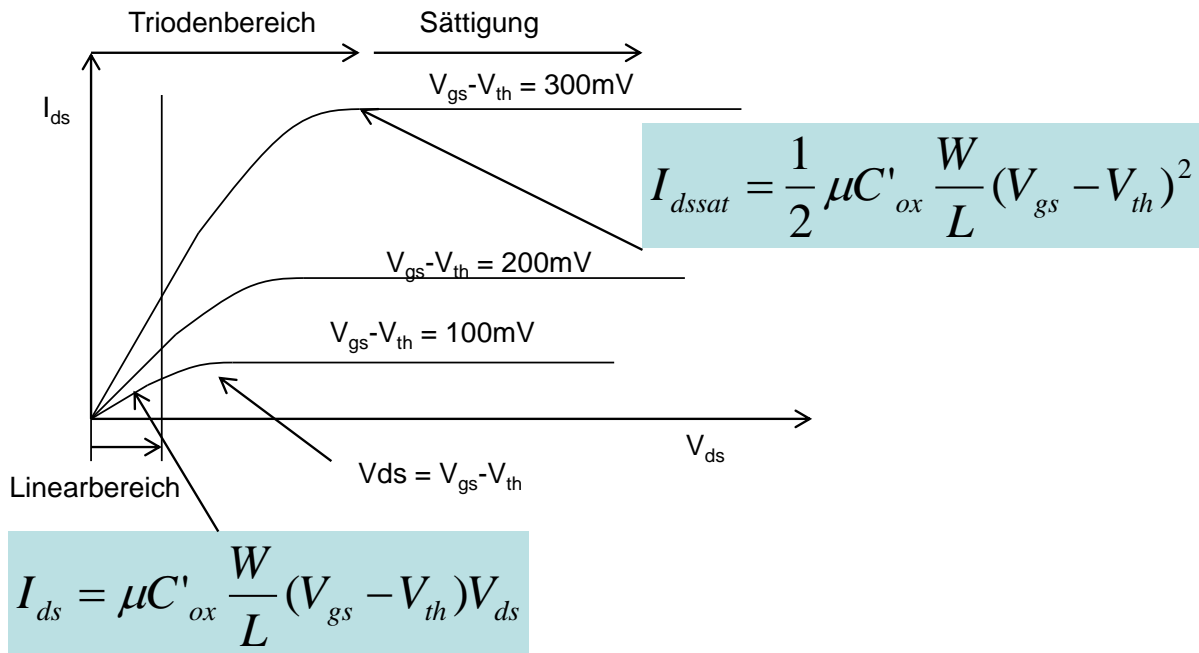


Abbildung 2: Ausgangskennlinien

I_{ds} als Funktion von V_{ds} für verschiedene V_{gs} (Ausgangskennlinien)

I_{ds} als Funktion von V_{gs} für verschiedene V_{ds} (Eingangskennlinien)

Schauen wir uns die erste Kennliniengruppe an.

Abbildung 3 zeigt die I_{ds} - V_{ds} Kennlinien. Wie plotten die Linien für linear aufsteigende $V_{gs} - V_{th}$.

Man kann folgendes erkennen:

Im rechten Linienbereich ist der Strom von V_{ds} praktisch unabhängig – wir nennen diesen Bereich den „Sättigungsbereich“. Im Idealfall $I_{ds} = I_{dssat}$ für alle $V_{ds} > V_{gs} - V_{th}$. I_{dssat} ist durch die folgende Formel beschreiben:

$$I_{dssat} = \frac{1}{2} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 = \frac{1}{2} k (V_{gs} - V_{th})^2 ; k \stackrel{\text{def}}{=} \mu C'_{ox} \frac{W}{L}$$

Im linken Linienbereich sinkt der Strom mit Abnahme von V_{ds} . Diesen Bereich nennen wir Trioden-Bereich. Für kleine V_{ds} ist die Strom-Spannung Abhängigkeit ungefähr linear (Linearbereich). Den Strom im linearen Bereich kann man mit der folgenden Formel beschreiben:

$$I_{dssat} = \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds}$$

Der Strom in Sättigung hängt quadratisch von V_{gs} ab.

Auf der Grenze zwischen den Sättigungs- und Trioden- Bereichen gilt:

$$V_{ds} = V_{gs} - V_{th} = V_{dssat}$$

Man kann zeigen, dass die Grenzpunkte (I_{ds} , V_{ds}) für verschiedene V_{gs} Spannungen auf der Parabel $I_{ds} = k/2 V_{ds}^2$ liegen. Das kann man aus der Formel für Sättigungsstrom und der Bedingung $V_{ds} = V_{gs} - V_{th}$ herleiten.

Im Sättigungsbereich verhält sich der Transistor also wie eine spannungsgesteuerte Stromquelle (Abbildung 3). Beachten wir, dass mithilfe einer Stromquelle große Spannungsverstärkung erreicht werden kann. Eine Stromquelle ist die Grundkomponente jedes Verstärkers.

Im Trioden-Bereich für kleine V_{ds} verhält sich der Transistor wie ein variabler Widerstand (oder wie ein elektronischer Schalter) (Linearbereich).

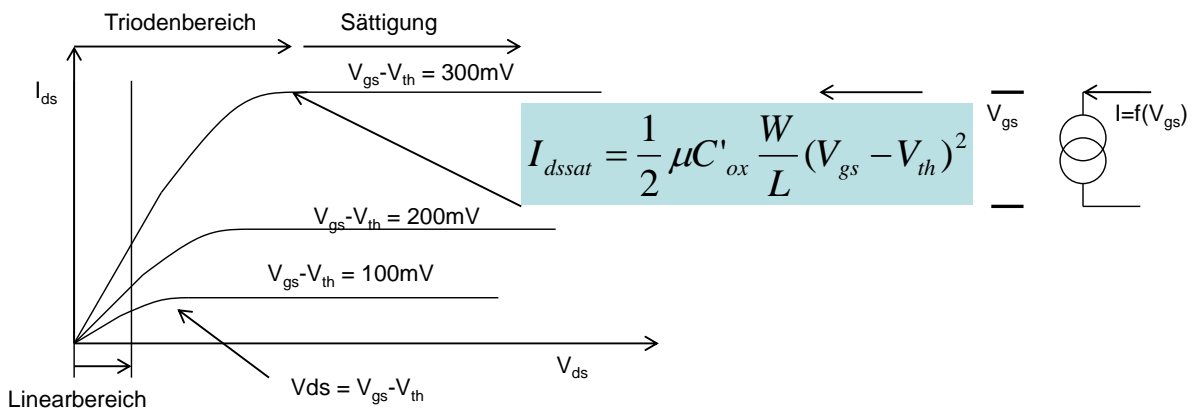


Abbildung 3: Ausgangskennlinien, Sättigung

Abbildung 4 zeigt die $I_{ds} = f(V_{gs})$ Kennlinie. Wir könnten auch hier mehrere Kennlinien für verschiedene V_{ds} zeichnen – wir begrenzen uns aber auf den Sättigungsbereich, genau genommen auf den Strom am Anfang der Sättigung I_{dssat} .

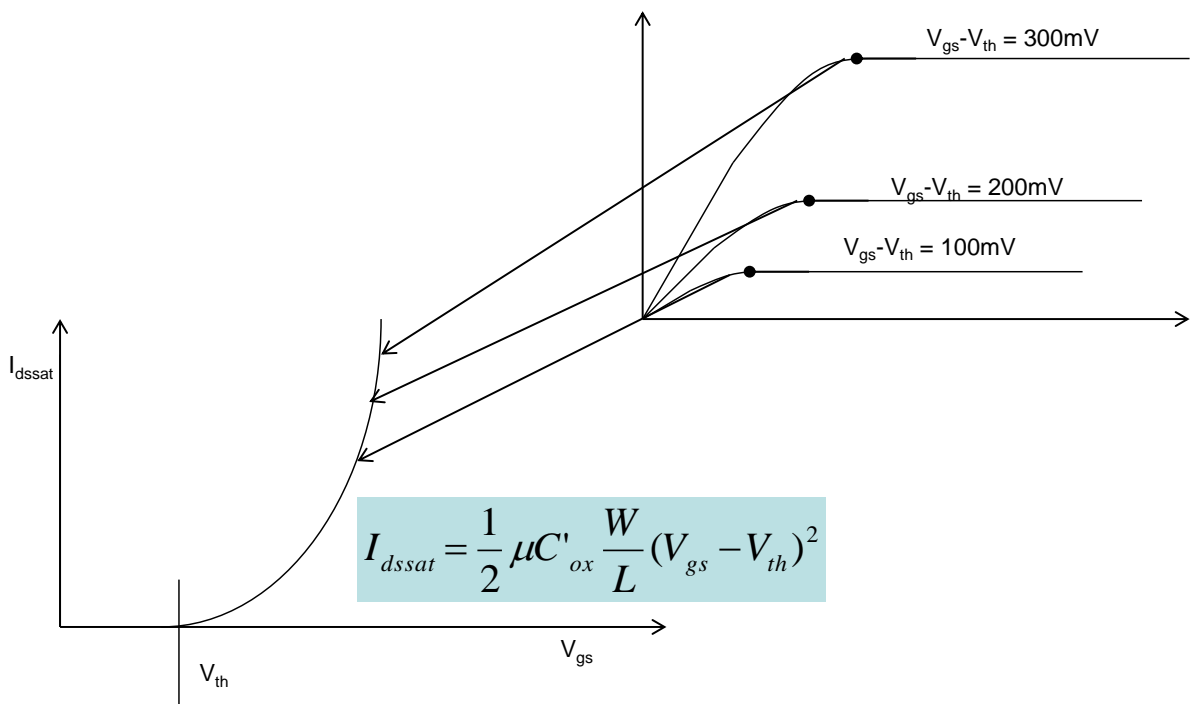


Abbildung 4: Eingangskennlinie

Kleinsignalmodell:

Die Eingangskennlinie wird üblicherweise im Bereich um den Arbeitspunkt linearisiert (Abbildung 5) die Steigung der Linie dI_{dsat}/dV_{gs} nennen wir die **Transkonduktanz** (Leitwert) oder g_m . g_m wird im Kleinsignalmodell des Transistors verwendet – Abbildung 5, rechts.

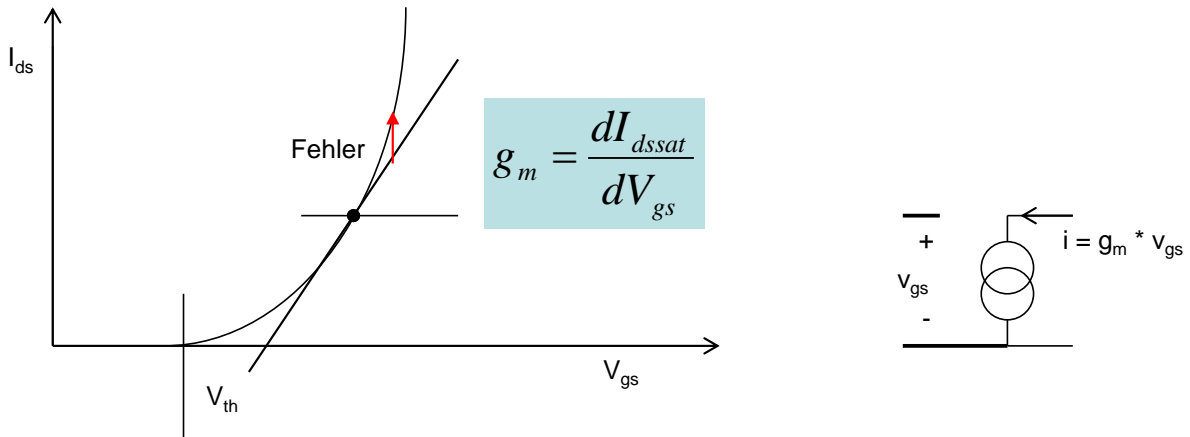


Abbildung 5: Transkonduktanz

Beachten wir, dass das Kleinsignalmodell nur unter bestimmten Bedingungen gilt. Das Kleinsignalmodell erlaubt rein mathematisch beliebig große positive und negative v_{gs} und i_{ds} Werte (Kleinsignale). Der negative Kleinsignalstrom darf aber nicht den DC-Strom übersteigen, sonst wäre der Gesamtstrom negativ.

Unterschiede zwischen PMOS und NMOS Transistoren

Im Fall vom PMOS Transistor gelten alle Kennlinien wie bei einem NMOS - die Indizes bei den Spannungen und Strömen sollen vertauscht werden, Abbildung 6.

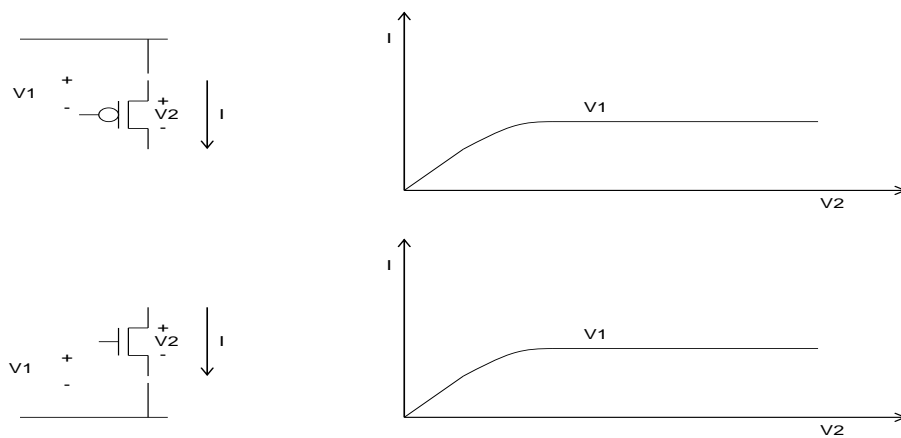


Abbildung 6: PMOS und NMOS Transistoren mit ihren Kennlinien

NMOS und PMOS Schaltungen sind oft Spiegelsymmetrisch wie die Abbildung 7 zeigt.

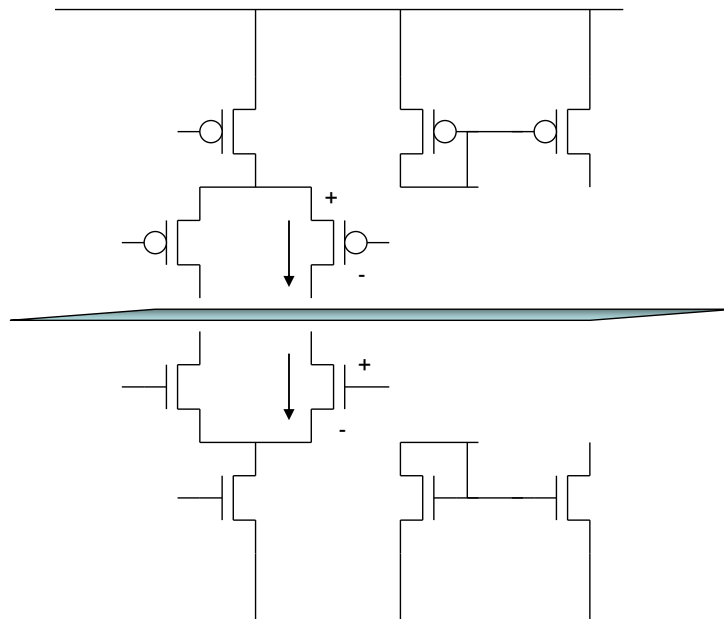


Abbildung 7: NMOS und PMOS Schaltungen sind in der Regel Spiegelsymmetrisch, wobei Ströme und Spannungen verschiedene Vorzeichen haben

Die Ströme und Spannungen haben andere Vorzeichen.

Wir zeichnen die Schaltungen in der Regel so, dass die Ströme von oben nach unten fließen und die Potentiale oben im Bild sind höher als die Potentiale unten sind. Es ist wichtig den Arbeitsbereich von Transistoren zu erkennen. In analogen Schaltungen befinden sich die meisten Transistoren in Sättigung. Die Bedingung für Sättigung ist $V_{ds} > V_{gs} - V_{th}$. Das bedeutet für einen NMOS Transistor in Sättigung: sein Drain-Potential kann auch niedriger als Gate liegen. Abbildung 8 und Abbildung 9 zeigen anschaulich Transistoren in Sättigung und im Linearbereich:

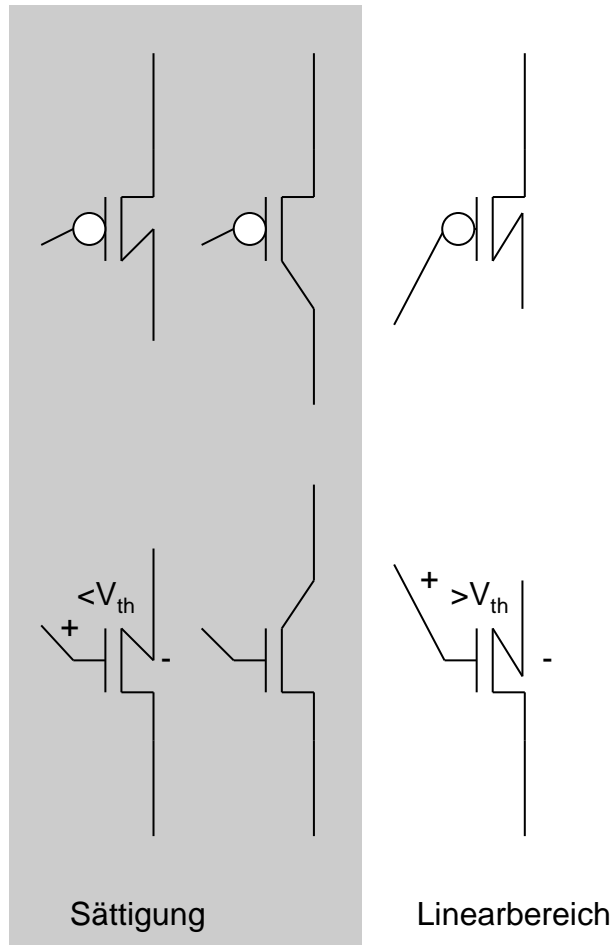


Abbildung 8: PMOS und NMOS Transistoren in Sättigung und im Linearbereich

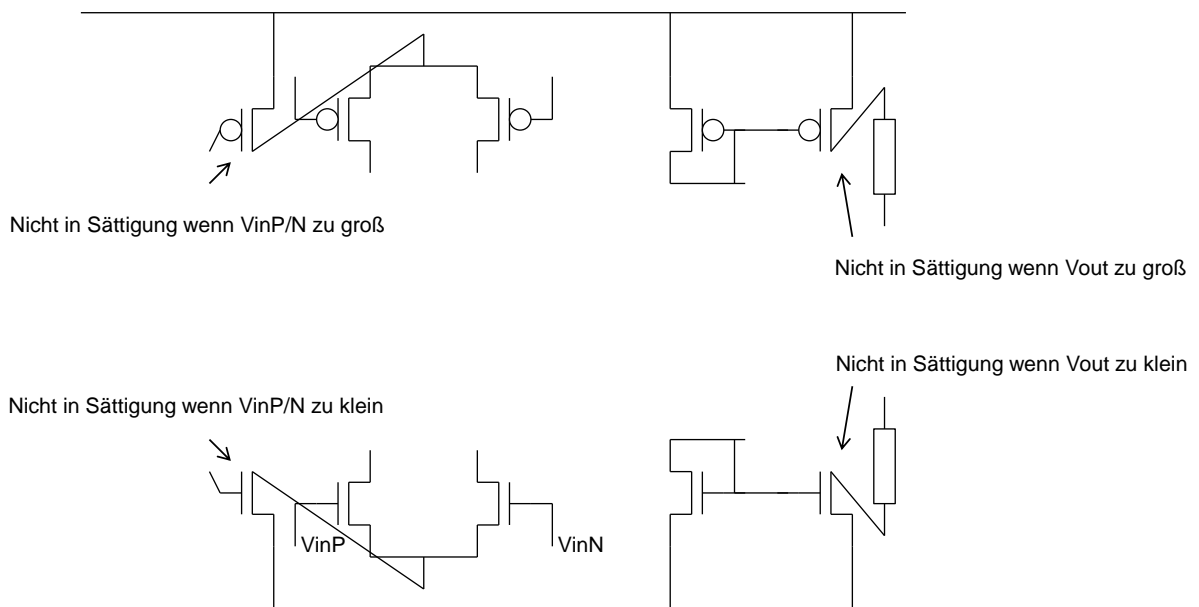


Abbildung 9: PMOS und NMOS Schaltungen

Warum brauchen wir eigentlich NMOS und PMOS Transistoren? Wir haben uns mit dieser Frage auch im Kurs DDS beschäftigt.

Ein NMOS Transistor leitet nur dann gut wenn das Source-Potential niedrig ist. Das heißt einen NMOS-Schalter kann man nicht benutzen um eine Leitung mit VDD (mit der positiven Versorgung) kurz zu schließen. Dafür braucht man einen PMOS Schalter. Das zeigen folgende Beispiele:

Eine Kapazität wird mit NMOS Transistor T1 entladen – Abbildung 10. Die Kapazität wird mit einem anderen NMOS Transistor T2 aufgeladen. Abbildung 10 zeigt, dass die Spannung am Kondensator das VDD-Potential nicht erreicht. Wenn V_{gs} vom Transistor T2 gleich V_{th} wird, leitet T2 nicht mehr und kann den Kondensator nicht aufladen. Wir vernachlässigen hier den Strom in schwacher Inversion (subthreshold operation region).

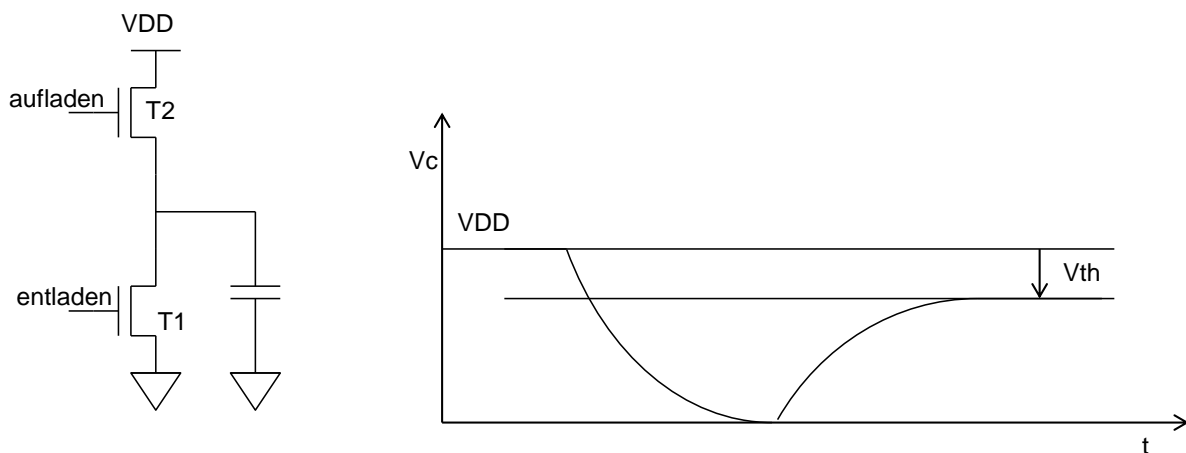


Abbildung 10: Kapazität wird mit NMOS Transistor aufgeladen.

Wenn die Kapazität mit einem PMOS Transistor aufgeladen wird, besteht das Problem nicht, Abbildung 11. Die Spannung am Kondensator kann VDD erreichen, er kann vollständig aufgeladen werden.

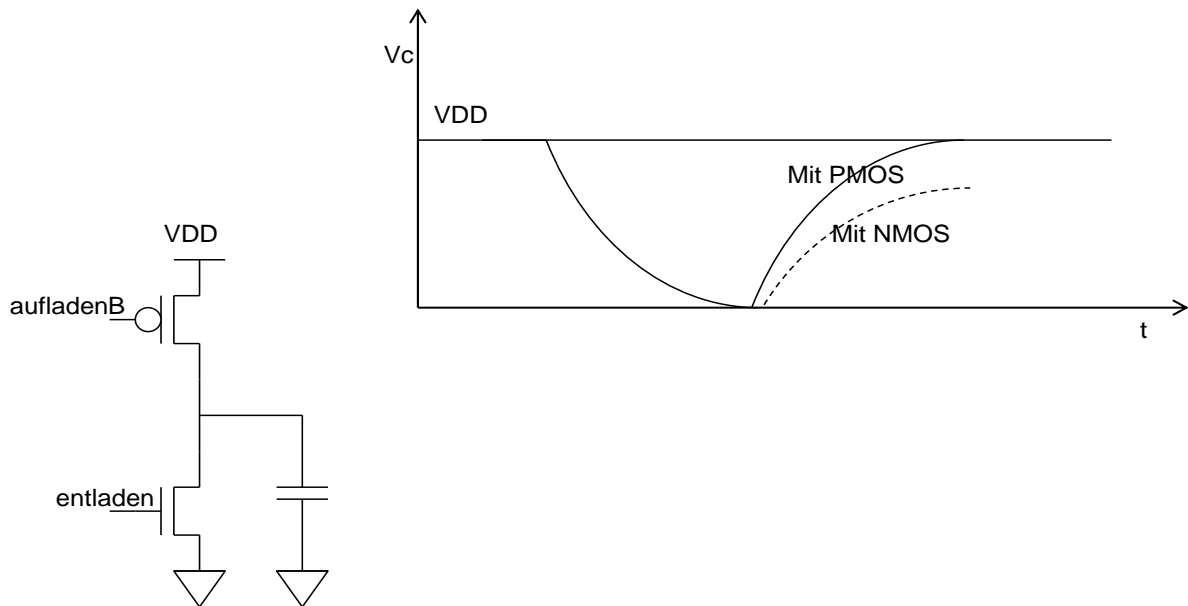


Abbildung 11: Kapazität wird mit PMOS Transistor aufgeladen.

Es gibt weitere Unterschiede: Im Falle einer PMOS Stromquelle fließt der Strom aus VDD heraus, eine NMOS Quelle leitet den Strom in GND, Abbildung 12.

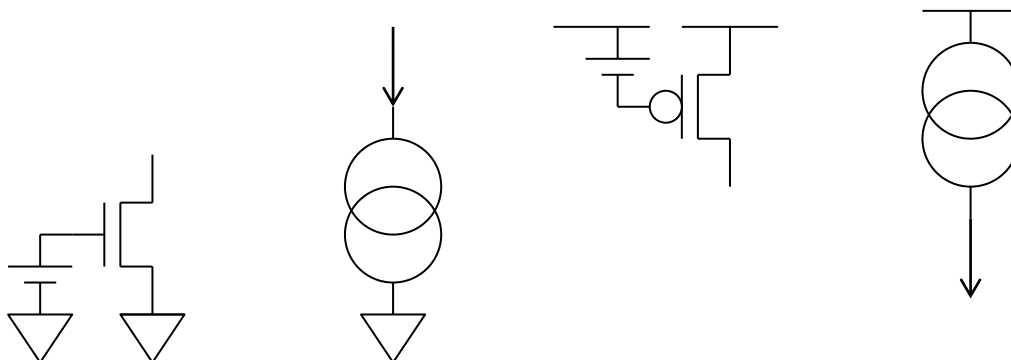


Abbildung 12: Stromquellen realisiert mit NMOS und PMOS Transistoren.

Substrateffekt

In unserer bisherigen MOSFET-Analyse hatten wir sowohl für die Source als auch für den Substratkontakt angenommen, dass sie sich auf 0 V befinden.

Diese zwei Kontakte sind nicht immer kurzgeschlossen. Der Substratkontakt befindet sich oft auf einem niedrigeren Potential als Source (und Drain).

Abbildung 13 zeigt schematisch die NMOS-Struktur. Substratkontakt ist zunächst auf 0V, die Gate-Source Spannung ist 0.5V, also entspricht der Schwelle V_{th} . Die Substrat-Oberfläche ist auf 0V, für höhere V_{gs} bildet sich der Kanal.

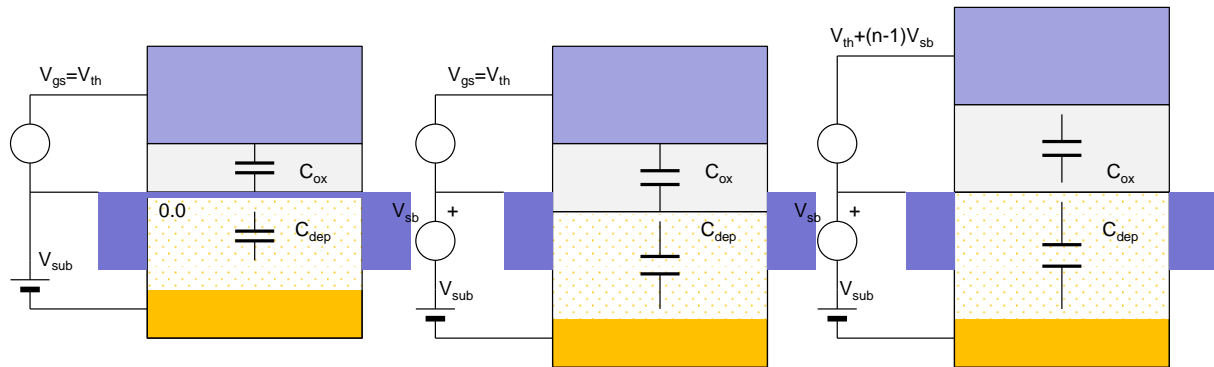


Abbildung 13: Illustration vom Substrateffekt

Verringern wir jetzt das Substratpotential um einen kleinen Wert V_{sb} .

Erinnern wir uns, dass wir in der MOS Struktur einen kapazitiven Spannungsteiler haben. Das Potential der Substrat-Oberfläche (Substrat-SiO₂ Grenze) wird dadurch:

$$V_x = -\frac{C_{dep}}{C_{dep} + C_{ox}} V_{sb} \quad (1)$$

Die Wahl von C_{dep} Wert war in Vorlesung 2 etwas kompliziert. In dieser Vorlesung rechnen wir nur eine kleine Änderung von V_x gegenüber dem V_x Wert für $V_{gs} = V_{th}$ (und $V_{dep} = V_{cont}$). Deswegen ist es berechtigt für C_{dep} die dynamische Kapazität zu nehmen. $C_{dep} = C_{dep,min}$.
(2)

C_{dep} die dynamische Kapazität für $V_{dep} = V_{cont}$.

Wenn die Substrat-Oberfläche das Potential von $V_x = -V_{sb} \times C_{dep} / (C_{dep} + C_{ox})$ hat, muss V_{gs} um $|V_x| \times (C_{dep} + C_{ox}) / C_{ox}$ erhöht werden (Formel für Spannungsteiler) um das Oberflächenpotential von 0 V zu erreichen. Für das Oberflächenpotential = 0 V bildet sich der Kanal da es in dem Fall keine Potentialbarriere für die Elektronen aus der Source und dem Drain gibt.

Die Erhöhung von V_{gs} um $|V_x| \times (C_{dep} + C_{ox}) / C_{ox}$ kann als eine Erhöhung von Schelle dV_{thsb} verstanden werden. Es gilt:

$$\Delta V_{thsb} = |V_x| \frac{C_{dep} + C_{ox}}{C_{ox}} = V_{sb} \frac{C_{dep}}{C_{dep} + C_{ox}} \frac{C_{dep} + C_{ox}}{C_{ox}} = V_{sb} \frac{C_{dep}}{C_{ox}} = (n-1)V_{sb} \quad (3)$$

Genau um diesen Betrag muss V_{gs} erhöht werden um den Kanal zu erzeugen.

Eine alternative Erklärung ist in *Substrateffekt – Zusammenfassung*.

Überprüfung (optional):

Wir haben in Vorlesung 2 - 17 die Formel für $C_{dep,min}$ hergeleitet:

$$C_{dep,min} = A \sqrt{\frac{eN_a \epsilon_0 \epsilon_{Si}}{2V_{cont}}} \quad (4)$$

Wenn wir (4) in (3) einsetzen bekommen wir:

$$\Delta V_{\text{thsb}} = V_{\text{sb}} \sqrt{\frac{eN_a \epsilon_0 \epsilon_{\text{Si}}}{2V_{\text{cont}} C'_{\text{ox}}}} \quad (5)$$

C'_{ox} ist die Kapazität pro Fläche. Versuchen wir die gleiche Formel aus der Formel für Schwellenspannung (Vorlesung 2 - 18) herzuleiten:

$$V_{\text{th}} = \frac{\sqrt{2eN_a \epsilon_0 \epsilon_{\text{Si}} V_{\text{cont}}}}{C'_{\text{ox}}} \quad (6)$$

Eine zusätzliche Spannung V_{sb} führt dazu, dass sich die Spannung in Verarmungszone von V_{cont} auf $V_{\text{cont}} + V_{\text{sb}}$ erhöht.

Die Schwelle-Spannung steigt dann auf (wir ersetzen V_{cont} durch $V_{\text{cont}} + V_{\text{sb}}$ in (6)):

$$V_{\text{thsb}} = \frac{\sqrt{2eN_a \epsilon_0 \epsilon_{\text{Si}} (V_{\text{cont}} + V_{\text{sb}})}}{C'_{\text{ox}}} \quad (7)$$

Für relativ kleine V_{sb} gilt folgende Reihenentwicklung:

$$V_{\text{thsb}} = \frac{\sqrt{2eN_a \epsilon_0 \epsilon_{\text{Si}} V_{\text{cont}} (1 + V_{\text{sb}}/V_{\text{cont}})}}{C'_{\text{ox}}} = V_{\text{th}} \sqrt{1 + V_{\text{sb}}/V_{\text{cont}}} = V_{\text{th}} + \frac{V_{\text{th}} V_{\text{sb}}}{2V_{\text{cont}}} \quad (8)$$

Daraus folgt:

$$\Delta V_{\text{thsb}} = \frac{V_{\text{th}} V_{\text{sb}}}{2V_{\text{cont}}} = V_{\text{sb}} \frac{\sqrt{2eN_a \epsilon_0 \epsilon_{\text{Si}} / 2V_{\text{cont}}}}{C'_{\text{ox}}} \quad (9)$$

Das ist der gleiche Wert wie mithilfe vom Spannungsteiler hergeleitet (5).

Substrateffekt - Zusammenfassung

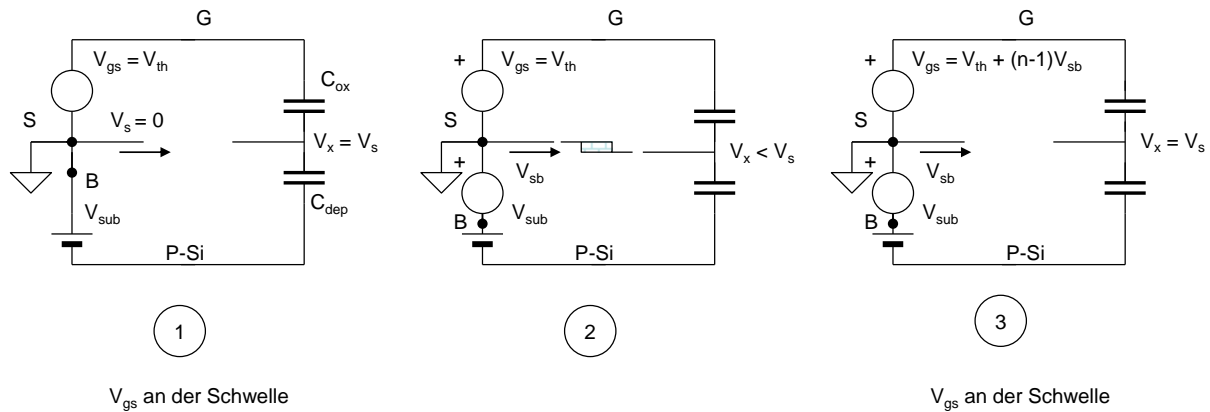


Abbildung 13b: G - Gate, S - Source, B - Bulkkontakt, V_{sub} – Substrat-Kontaktsspannung, X - Grenze zwischen Si und SiO₂, P-Si – p-Siliziumsubstrat (tiefere, nicht verarmte Schicht). Wir definieren die Kapazitäten C_{ox} und C_{dep} damit wir die Formeln (z.B. für Schwelle) mithilfe von Methoden für Schaltungsanalyse herleiten können. Die Schwelle wird definiert als V_{gs} Spannung bei der folgendes gilt: $V_s = V_x$. Dann gibt es keine Potentialbarriere für Elektronen, die aus der Source kommen. Abbildung 1: Source ist der Referenzpunkt – Masse. Bulkkontakt B ist mit Source S kurzgeschlossen. Es gilt $V_s = V_x$, V_{gs} ist „an der Schwelle“. Abbildung 2: Bulkkontakt liegt auf niedrigerem Potential (um $-V_{sb}$) als Source, es entsteht eine Potentialbarriere für Elektronen zwischen S und X. Abbildung 3: Wenn V_{gs} zusätzlich erhöht wird (um $(n-1)V_{sb}$), bekommen wir $V_s = V_x$ und V_{gs} ist wieder an der Schwelle. Die Schwelle ist also jetzt höher.

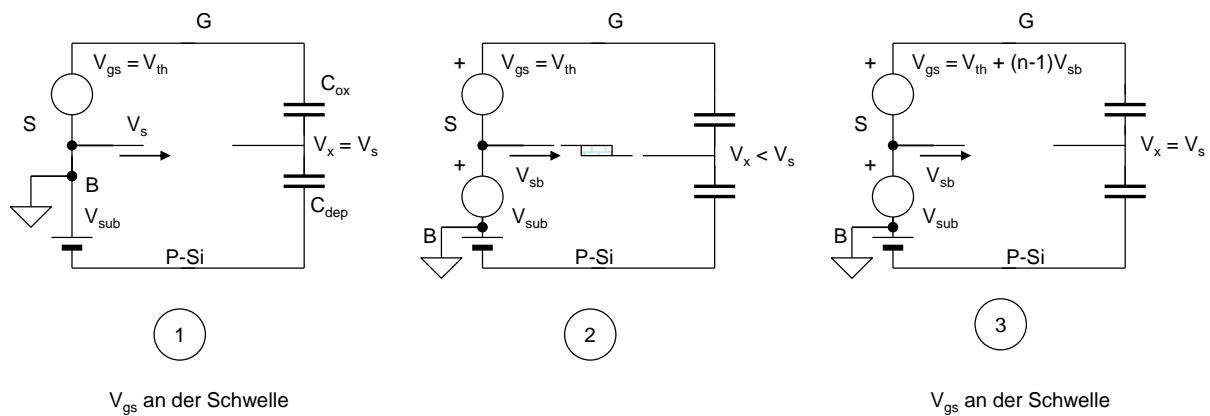


Abbildung 13c: Das gleiche gilt wenn wir Substratkontakt als Referenzpunkt wählen (Masse-Symbol). Abbildung 1: Keine Spannung zwischen B und S. Schwelle ist V_{th} . Abbildung 2: Source liegt auf höherem Potential als Bulkkontakt. Potentialbarriere entsteht. Schwelle-Spannung ist also höher als V_{th} . Abbildung 3: Wir erhöhen V_{gs} um die Potentialbarriere zu beheben. ($V_s = V_x$) Die neue Schwelle ist $V_{th} + (n-1)V_{sb}$.

Stromsättigung und Substrateffekt (optional)

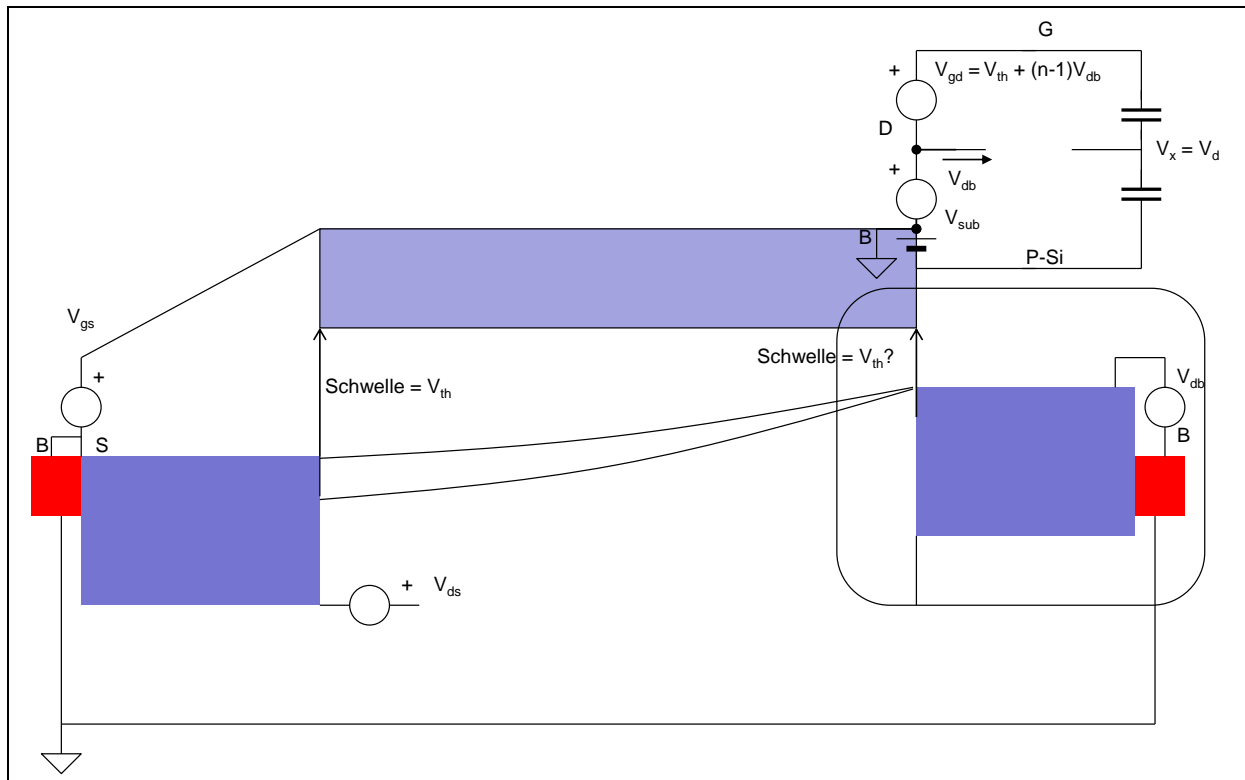


Abbildung 14: Wir haben in Vorlesung 2 die Sättigungsspannung definiert: Es ist die V_{ds} Spannung, für welche die Potentialdifferenz $V_{gd} = V_{th}$ ist. Der Kanal wird dann abgeschnürt. Wir haben angenommen, dass die Schwelle in der Nähe von Drain gleich ist wie in der Nähe von Source. Nur: Drain-Potential ist höher als das Potential vom Bulkkontakt (B). Deswegen entsteht der Substrateffekt an der Drain-Seite. Daraus folgt: Die Schwellenspannung ist in der Nähe von Drain um $(n - 1) V_{db}$ höher als V_{th} . Die Folge ist, dass Sättigung früher auftritt. Die Sättigungsspannung wird wegen dem Substrateffekt kleiner.

Beachten wir auch, dass der Substrateffekt auf für die Drain-Seite gilt (Abbildung 14). Dort ist die Änderung der Schwelle

$$\Delta V_{thdb} = (n - 1)V_{db}$$

Es gilt auch:

$$V_{thdb} = V_{th} + (n - 1)V_{db} = V_{th} + (n - 1)V_{sb} + (n - 1)V_{ds} = V_{thsb} + (n - 1)V_{ds}$$

V_{thsb} und V_{thdb} sind die Schwellen an der Source- und Drain-Seiten korrigiert für Substrateffekt.

$$V_{thsb} \equiv V_{th} + (n - 1)V_{sb}$$

$$V_{thdb} \equiv V_{th} + (n - 1)V_{db} = V_{thsb} + (n - 1)V_{ds} \quad (10)$$

Wir hatten in der Vorlesung 2 folgende Sättigungsbedingung hergeleitet:

$$V_{dssat} = V_g - V_{th}$$

Wir können sie nun wie folgend korrigieren:

$$V_{dssat} = V_{gs} - V_{thdb} \quad (11)$$

Wenn wir (10) in (11) einsetzen, und die Gleichung auf V_{ds} ($=V_{dssat}$) lösen, bekommen wir:

$$V_{dssat} = \frac{V_{gs} - V_{thsb}}{n}$$

Transistorgleichung kann dann wie folgend angepasst werden

$$I_{ds} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2$$

oder

$$I_{ds} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{th} + (n-1)V_{sb})^2$$

Das Substratpotential beeinflusst also den I_{ds} Transistorstrom auf ähnliche Weise wie das Gatepotential, nur um etwa Faktor $C_{dep}/C_{ox} = (n-1) \sim 0.25$ schwächer, Abbildung 15.

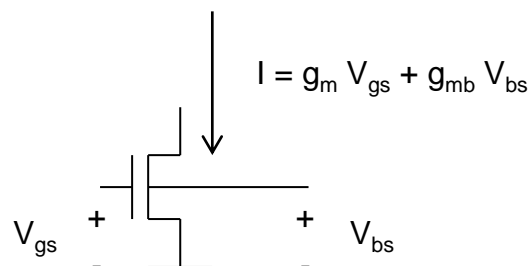


Abbildung 15: Substrateffekt

Bei einigen Schaltungen, die wir später besprechen werden, wie z.B. Sourcefolger oder Kaskode, ist der Substrateffekt von Bedeutung.

Änderung der effektiven Kanallänge - Kanallängenmodulation (*Early-Effekt*)

Wir haben gesehen, dass die Kanallänge L und die Kanalbreite W den Transistorstrom bestimmen ($I_{ds} \sim W/L$). Wie groß sind eigentlich W und L ? In erster Näherung nimmt der Kanal die ganze Fläche unterhalb des Gate-Oxids. Dort ist die „Anziehungskraft“ der positiven Gate-Ladung stark genug um einen Elektronen-Kanal zu formen.

Für Transistoren im linearen (oder Trioden-) Bereich ist der Kanal etwa genauso groß wie das Gate-Oxid, Abbildung 16.

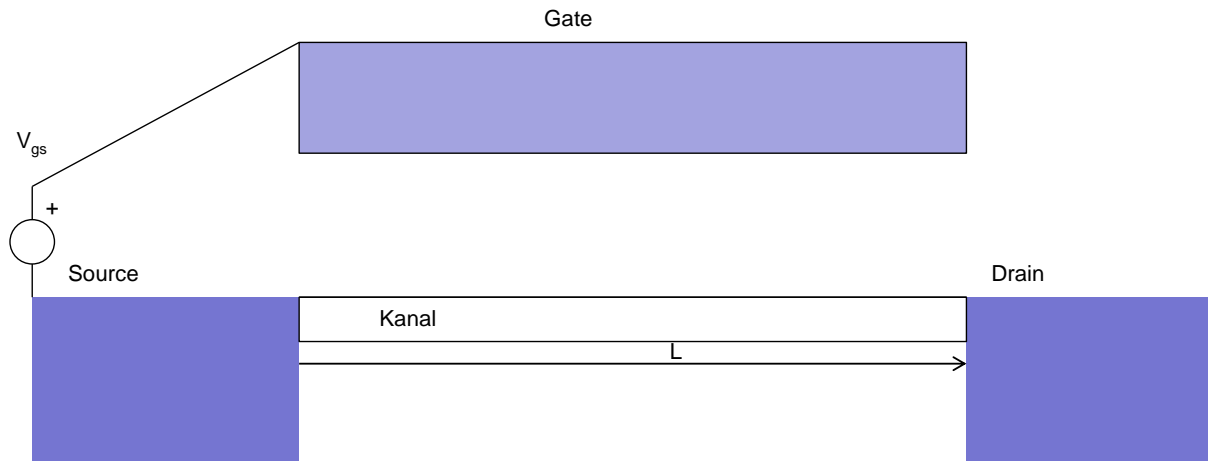


Abbildung 16: Kanallänge

Wenn V_{ds} größer als V_{dssat} ist (Transistor in Sättigung) bleibt das Drain-Ende des Kanals etwa auf V_{dssat} Potential. Zwischen dem Drain und dem Ende des Kanals haben wir also einen Potentialunterschied von $V_{ds} - V_{dssat}$. Es bildet sich eine Verarmungszone, Abbildung 17.

Die Größe der Zone hängt von der Überspannung $V_{ds} - V_{dssat}$. Die Effektive Länge des Kanals (L_{eff}) ist also um die Größe der Verarmungszone kleiner als die Gate-Oxid-Länge.

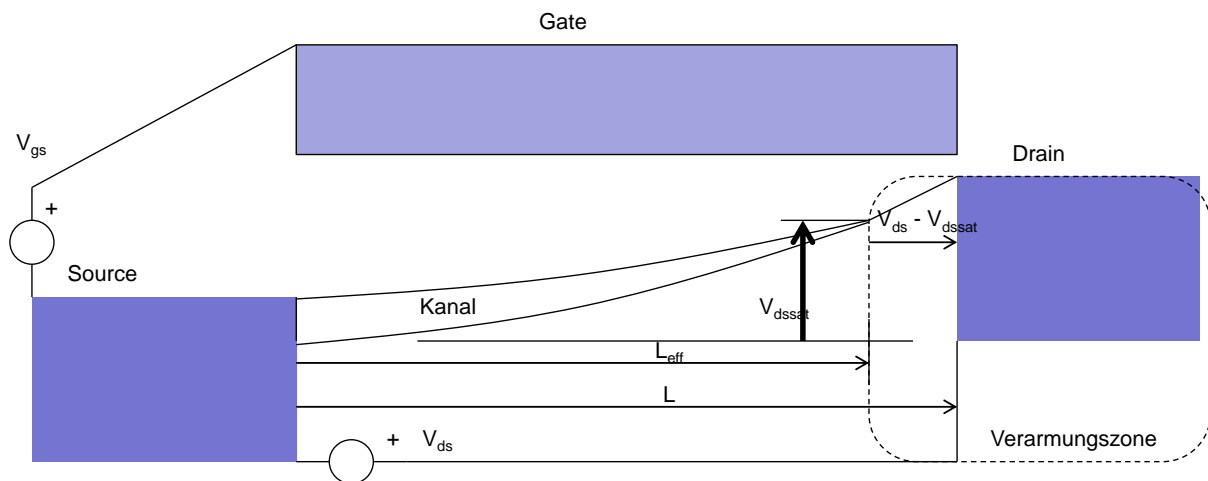


Abbildung 17: Early-Effekt

Fangen wir von der Formel für Sättigungsstrom an:

$$I_{dssat} = \frac{1}{2n} \mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})^2$$

Wenn V_{ds} über V_{dssat} hinaus steigt, verkürzt sich der Kanal – L wird kleiner und der Strom steigt. Das führt zu folgender Stromänderung wegen Verkürzung des Kanals:

$$I_{ds} = I_{dssat} + \frac{\partial I_{dssat}}{\partial L} \Delta L$$

Man kann herzuleiten (Ableitung):

$$I_{ds} = I_{dssat} \left(1 + \frac{\Delta L}{L}\right)$$

Wenn wir noch annehmen

$$\Delta L \sim (V_{ds} - V_{dssat})/E_{sat}$$

(E_{sat} ist eine Konstante) bekommen wir die Formel für I_{ds} unter Berücksichtigung von L -Änderung:

$$I_{ds} = I_{dssat} \left(1 + (V_{ds} - V_{dssat})/E_{sat} L\right)$$

Die Steigung der Kennlinie dI_{dssat}/dV_{ds} ist

$$g_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}} = \frac{I_{dssat}}{E_{sat} L}$$

Daraus leiten wir den Widerstand her

$$r_{ds} = 1/g_{ds} = \frac{E_{sat} L}{I_{dssat}}$$

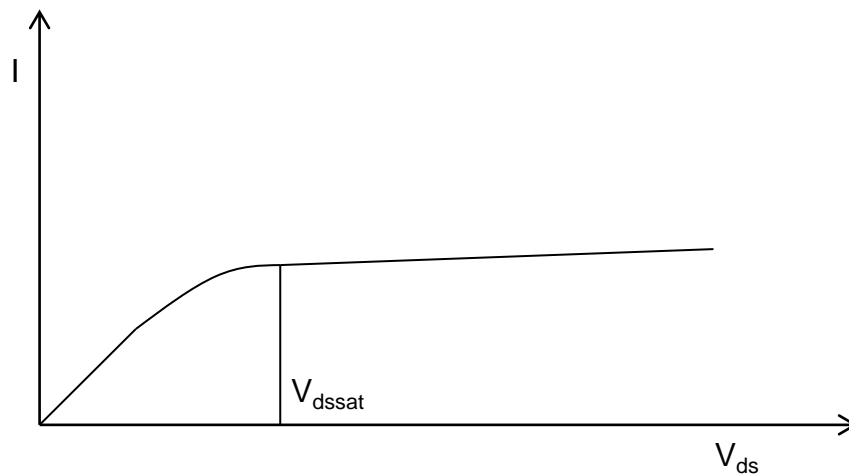


Abbildung 18: Strom steigt für $V_{ds} > V_{dssat}$

Die Verlängerungen (Asymptoten) von allen $I_{ds}(V_{ds})$ Linien schneiden die x-Achse in einem Punkt, Abbildung 19. Das folgt aus der Gleichung:

$$I_{ds} = 0 \Rightarrow \frac{(V_{ds} - V_{dssat})}{E_{sat} L} = -1$$

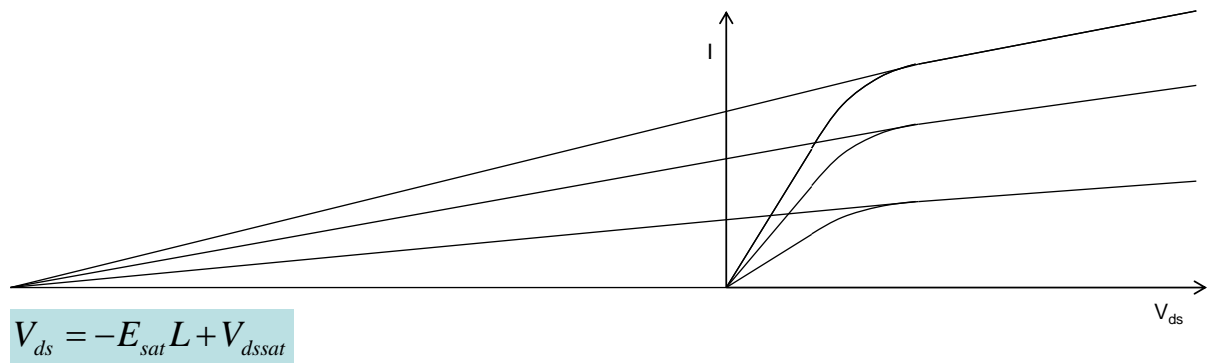


Abbildung 19: Linien schneiden sich in einem Punkt

Ein kleines g_{ds} ist normalerweise vom Vorteil da sich der Transistor dann ähnlicher wie eine Stromquelle verhält. Kleine g_{ds} Werte (oder einen großen $r_{ds} = 1/g_{ds}$ Widerstand) bekommen wir für lange Transistoren und für kleine Ströme.

Die Abbildung 20 zeigt einen Transistor mit kleinem g_{ds} , also großem r_{ds} . Beachten wir dass diese Transistoren auch kleine g_m haben. Wir bekommen nicht beides – eine gute Stromquelle und eine hohe Transkonduktanz.

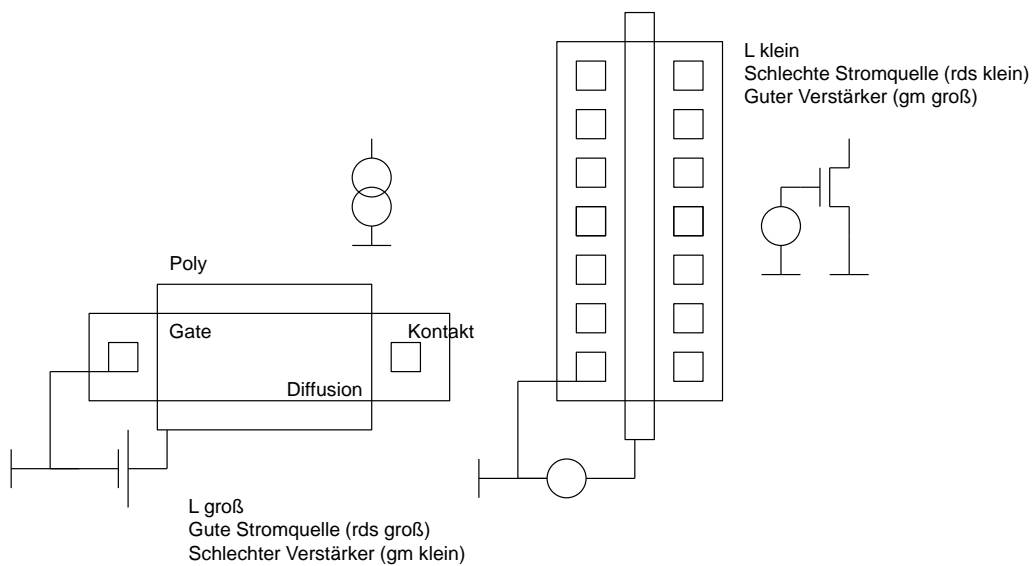


Abbildung 20: Verschiedene Stromquellen

Es gibt aber einen Trick – Kaskode (Abbildung 21) – den uns ermöglicht sowohl g_m als auch r_{ds} groß zu haben. Eine Kaskode ist ein guter Verstärker und eine gute Stromquelle.

Kaskode (wird später erklärt)
Gute Stromquelle (r_{out} groß)
Guter Verstärker (g_m groß)

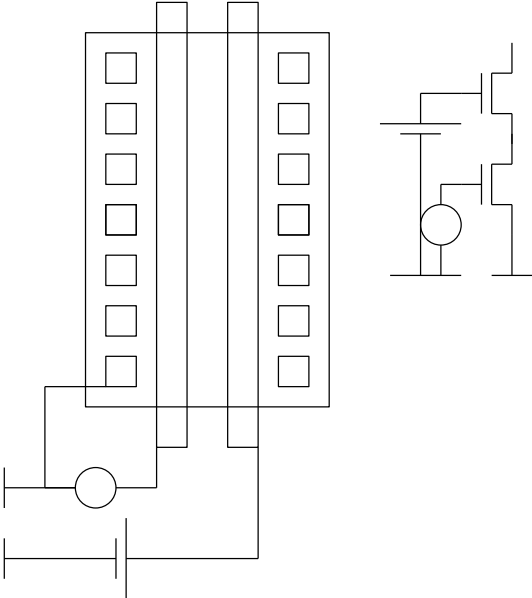


Abbildung 21: Stromquelle mit Kaskode

