

Vorlesung 12

Das Thema von Vorlesungen 12 sind getaktete analoge Schaltungen. Die Vorlesung gliedert sich auf:

- Track und Hold Schaltung basierend auf einem Schalter und Kondensator.
- Getakteter Verstärker
- Komparator

Einführung

In modernen Schaltungen findet die Signalverarbeitung am meistens digital statt. Die Eingangs- und Ausgangsgröße ist normalerweise Analog. Bei der Umwandlung von analogen in digitale Signale wird Zeit und Amplitude diskretisiert.

Die Sample und Hold Schaltung tastet das Signal in diskreten Momenten ab (Abbildung 1).

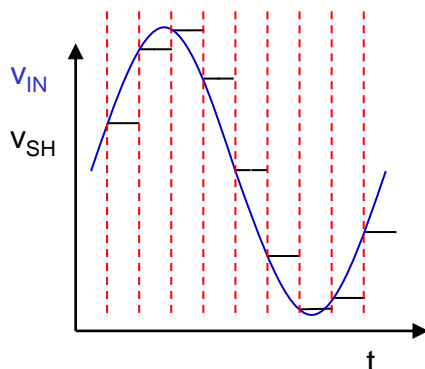


Abbildung 1: Sample und Hold Schaltung, Eingangs- und Ausgangssignal

Komparator die einfachste Schaltung, welche die Amplitude diskretisiert, bzw. die Amplitude mittels einer bestimmten Zahlenmenge darstellt. (Komparator-Ausgang ist 1 Bit Zahl). Der Ausgang des Komparators ist logisch 1 wenn die Eingangsspannung größer als die Schwelle V_{thr} ist. Ansonsten ist der Ausgang logisch 0. Abbildung 2 zeigt die Signale, wenn ein Komparator an eine Sample und Hold Schaltung angeschlossen ist.

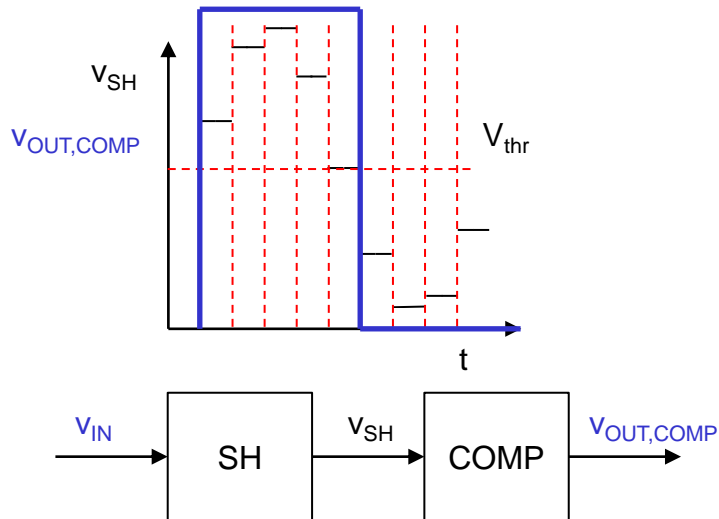


Abbildung 2: Komparator ist der einfachste AD Konverter

Analog-Digitalkonverter (ADC) macht feinere Messung – der Ausgang ist eine N-Bit Zahl D . Man kann die Eingangsspannung $V_{in,adc}$ des ADCs als Funktion von D zeichnen und die Mittelwerte von $V_{in,adc}$ für jede Zahl D bestimmen:

$$\mu(V_{in,adc}(D)) = D_{in}(D)$$

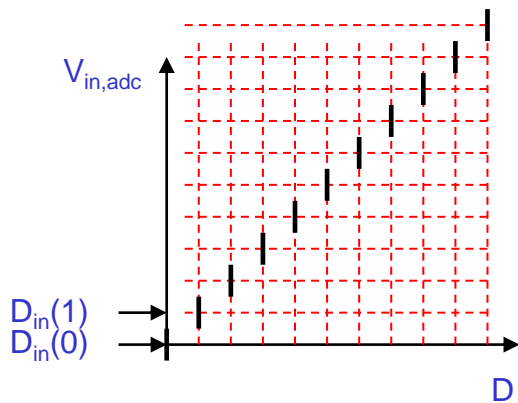


Abbildung 3: Kennlinie eines AD Konverters

Falls D Ergebnis der AD-Konversion ist, ist $D_{in}(D)$ eine gute Approximation des analogen Signals.

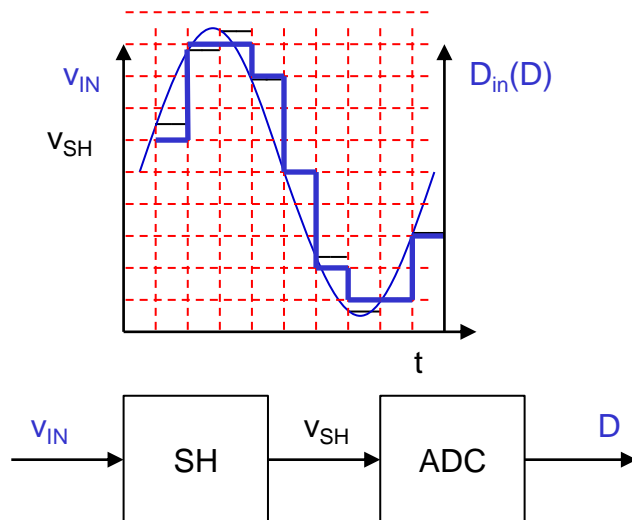


Abbildung 4: AD Konversion eines analogen Signals

Oft ist eine Abtastschaltung Teil des ADCs.

Wir werden in dieser Vorlesung folgende Schreibweise für die Spannungen benutzen:

Spannung des Konten out: $V_{OUT}(t)$

DC Niveau: V_{out}

Kleinsignal: $v_{out}(t) = V_{OUT}(t) - V_{out}$

Abbildung 5 zeigt den Unterschied zwischen der Funktionsweise einer Track und Hold (links) und einer Sample und Hold Schaltung (rechts).

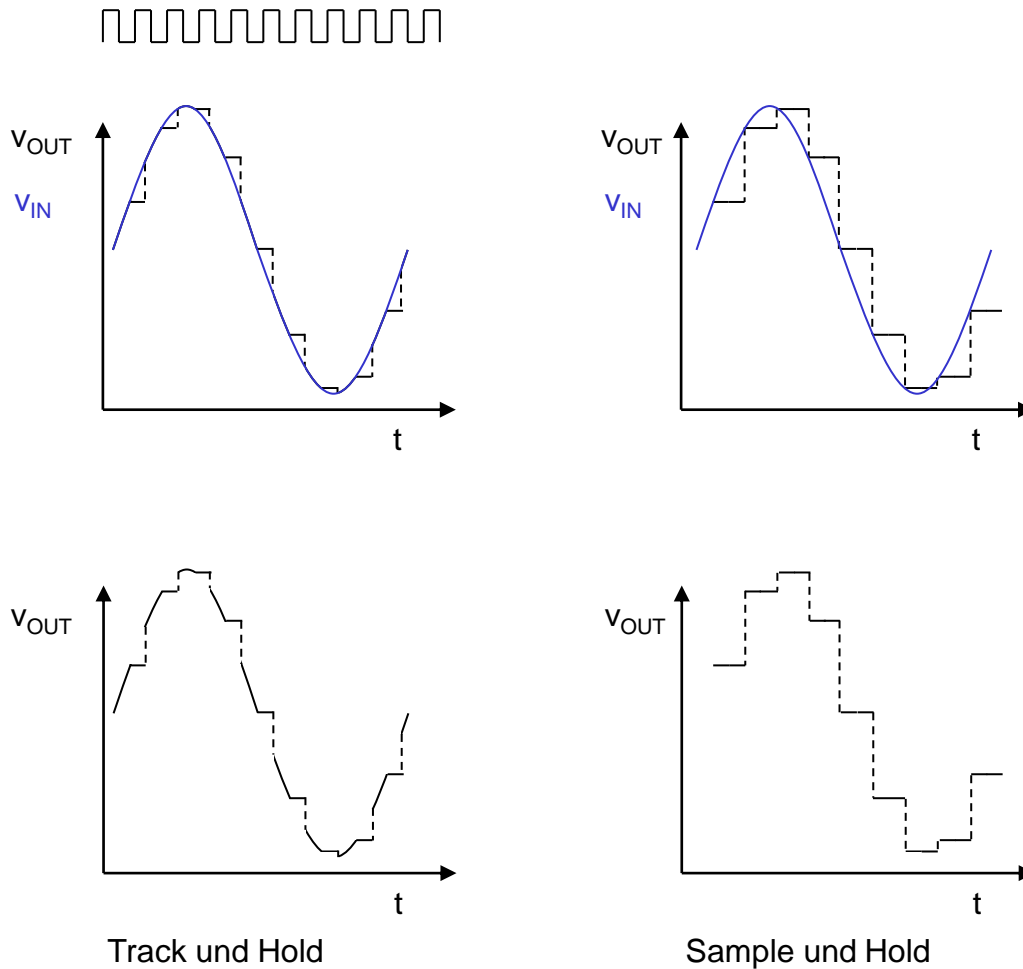


Abbildung 5: Unterschied zwischen einer Track und Hold Schaltung (links) und einer Sample und Hold Schaltung (rechts).

Wir werden in dieser Vorlesung folgende Schaltungen vorstellen:

Die einfachste Track und Hold Schaltung basierend auf einem Schalter und Kondensator.

Einen getakteten Verstärker der auch ans Sample und Hold Schaltung arbeiten kann

Das letzte Thema werden verschiedene Komparatoren sein.

Track und Hold Schaltung

Abbildung 6 zeigt die einfachste Track und Hold Schaltung. Die Schaltung besteht aus einem MOS Transistor (MOS Schalter) T_{sw} und einer Sampling Kapazität C . Das Gate des Transistors ist an Signal track angeschlossen.

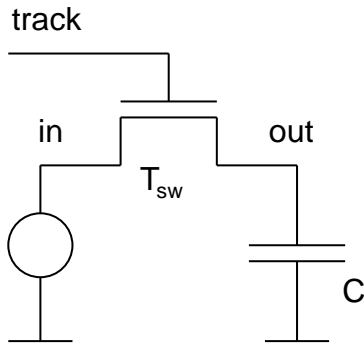


Abbildung 6: Track und Hold Schaltung

Das Signal track ist ein CMOS-Digitalsignal, im Zustand 1 ist das Potential von track gleich VDD (positive Versorgungsspannung, z.B. 1.2 V), im Zustand 0 ist $V_{\text{track}} = 0 \text{ V}$ (GND) (Masse-Potential).

Beachten wir dass das Signal track sowohl als Digitalsignal als auch als Analogsignal betrachtet werden kann. Man kann z.B. schreiben $\text{track} = 1$ (track ist logisch 1). Man kann man schreiben $\text{track} = \text{VDD}$, wenn man track als Analogsignal betrachtet.

Man könnte das Signal track im Digitaldomain als track,d und im Analogdomain track,a bezeichnen und sich eine Komponente DA vorstellen, welche track,d in track,a umwandelt.

Folgende Tabelle definiert die Umwandlung vom Digitalwert in analoge Spannung:

| track,d | track,a |
|---------|-----------|
| 0 | GND 0 V |
| 1 | VDD 1.2 V |

Die Mischsignalsimulatoren (mixed mode Simulatoren) verwenden solche Komponenten. Abbildung 7 (oben) zeigt die Test-bench für die Track und Hold Schaltung in einem mixed signal Simulator.

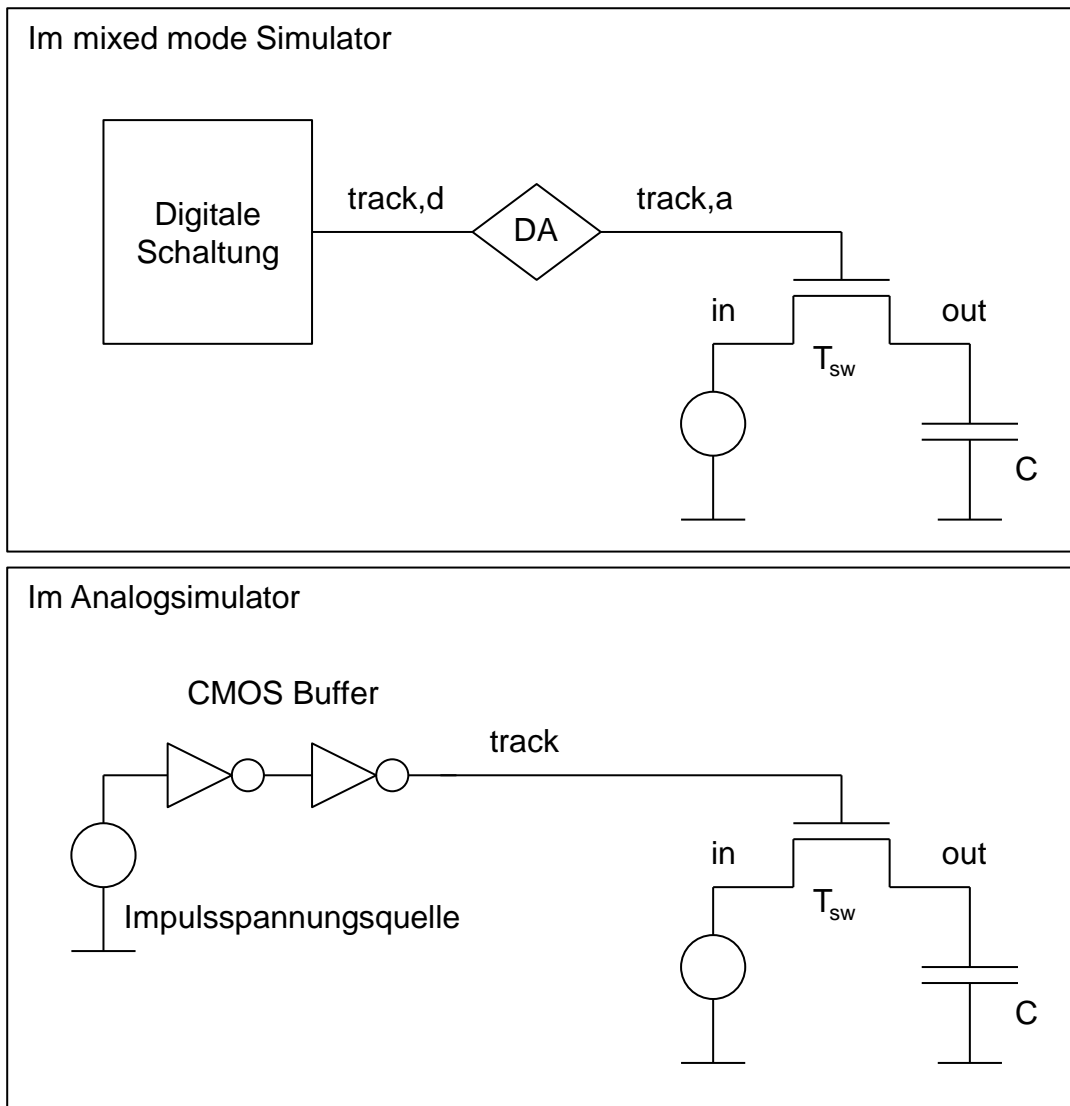


Abbildung 7: Test-Bench für die Track und Hold Schaltung in einem mixed signal Simulator (oben) und in einem Anlogsimulator (unten).

Wenn man Anlogsimulator verwendet, würde man die Schaltung mithilfe der transienten Simulation simulieren. Signal track kann man mit einer Impulsquelle erzeugen. Um die Simulation realistischer zu machen, könnte man einen CMOS Buffer (zwei Inverter in Reihe geschaltet) an die Spannungsquelle anschließen um eine realistischere Anstiegszeit zu bekommen. Abbildung 7 (unten) zeigt die Test-Bench für die Track und Hold Schaltung in einem Anlogsimulator.

In Übungen verwenden wir einen Anlogsimulator. Wir werden auch annehmen dass sich track momentan zwischen GND und VDD ändert.

Funktionsweise von Track und Hold Schaltung

Abbildung 8 zeigt die Funktionsweise. Wenn das Signal track (logisch) 1 ist, leitet der NMOS Transistor T_{sw} und die Ausgangsspannung v_{OUT} folgt der Eingangsspannung v_{IN} . Wenn track (logisch) 0 ist, sperrt der Transistor und v_{OUT} bleibt auf dem v_{IN} Wert im Moment der track-Signaländerung ($t = t_0$).

Beachten wir, dass ein Kondensator eine Spannung speichert falls kein Strom rein- oder rausfließt.

Die Track und Hold Schaltung tastet den Wert von v_{IN} im Moment t_0 ab – die Schaltung sampelt den Wert.

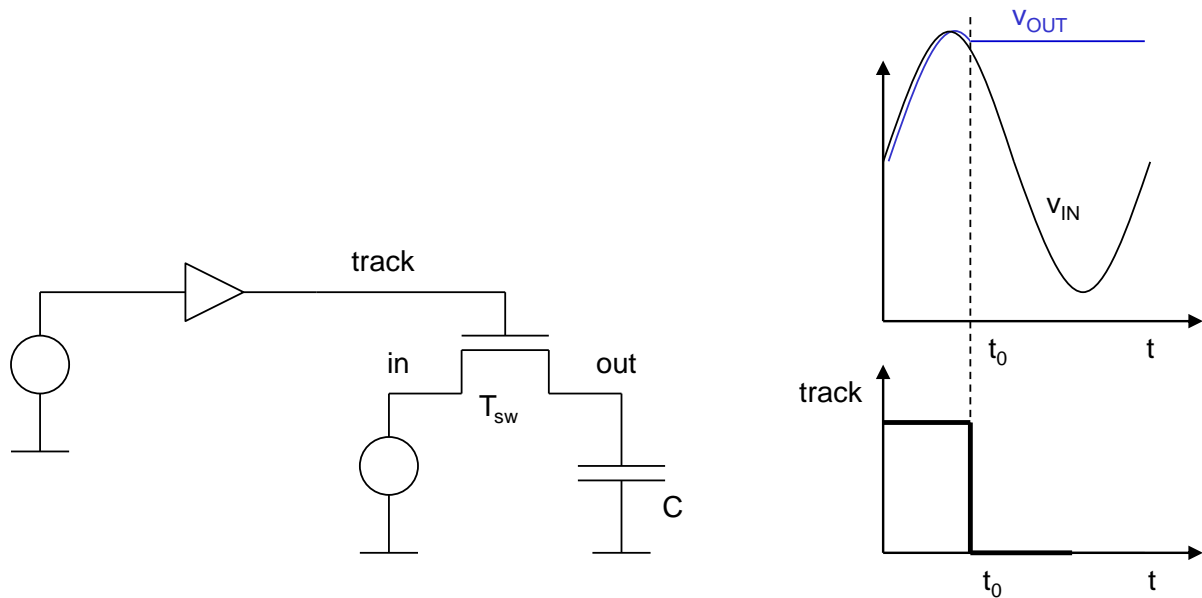


Abbildung 8: Funktionsweise von Track und Hold Schaltung

Detailliertere Analyse der Track und Hold Schaltung

Die Schaltung weicht von diesem nichtidealen Verhalten wegen einiger Effekten ab.

Kleinsignal On-Widerstand

Der Kleinsignal On-Widerstand des MOS-Schalters ist durch folgende Formel gegeben:

$$\frac{1}{r_{on}} = \left(\frac{dI_{ds}}{dV_{ds}} \right)_{V_{ds}=0} \quad (1)$$

Wir werden in der Analyse Substrateffekt berücksichtigen, da die Spannung zwischen Source und Substrat ungleich null ist.

Die Formel für Transistorstrom ist:

$$I_{ds} = \frac{W}{L} \mu C'_{ox} \left((V_{gs} - V_{thsb}) V_{ds} - n \frac{V_{ds}^2}{2} \right) \quad (2)$$

Aus (1) und (2) folgt

$$r_{on} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})} \quad (3)$$

Da track Phase $V_g = V_{track} = VDD$, ist die Gate-Source Spannung:

$$V_{gs} = V_{DD} - V_{in} \quad (4)$$

Die Schwelle-Spannung mit Substrateffekt ist

$$V_{thsb} = V_{th} + (n - 1)V_{sb} = V_{th} + (n - 1)V_{in} \quad (5)$$

Faktor $n = 1.25$ ist der slope Faktor.

Wenn wir (4) und (5) in (3) einsetzen, bekommen wir:

$$r_{on} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{th} - (n-1)V_{in})} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{DD} - nV_{in} - V_{th})} \quad (6)$$

Folgende Tabelle gibt die Werte der Parameter von MOS-Transistoren:

| | | |
|---------------------------|---------------------|---|
| μ (NMOS) | Beweglichkeit | $2.64 \times 10^{-2} \text{ m}^2/\text{Vs}$ @ 300 K |
| μ (PMOS) | Beweglichkeit | $1.45 \times 10^{-2} \text{ m}^2/\text{Vs}$ @ 300 K |
| I_0 (NMOS) | Subthreshold Strom | 59 nA |
| I_0 (PMOS) | Subthreshold Strom | 33 nA |
| C'_{ox} (NMOS und PMOS) | Oxid-Kapazität | 13.28 fF/ μm oder 0.01328F/ m^2 |
| $U_T = kT/e$ | Thermische Spannung | 26mV @ 300K |
| n (NMOS und PMOS) | Slope Faktor | 1.25 @ 300 K |
| V_{th} (NMOS und PMOS) | Schwelle-Spannung | 0.5V @ 300 K |

Beispiel:

Berechnen wir den Widerstand für:

$$V_{gs} - V_{thsb} = V_{DD} - nV_{in} - V_{th} = 100\text{mV}$$

Es folgt:

$$r_{on} = \frac{28\text{k}\Omega}{W/L}$$

Aus der Formel (6) sehen wir, dass der Widerstand größer für größere V_{in} Potentiale wird.

Für

$$V_{gs} - V_{thsb} = V_{DD} - nV_{in} - V_{th} = 0 \Rightarrow V_{in} = \frac{V_{DD} - V_{th}}{n} = \frac{1.2\text{V} - 0.5\text{V}}{1.25} = 0.56 \quad (7)$$

wird der Widerstand laut Formel (6) unendlich.

Dieses Ergebnis ist nicht ganz korrekt, da sich der Transistor für Spannungen

$$V_{gs} - V_{thsb} < 3U_T \Rightarrow V_{in} > \frac{V_{DD} - V_{th} - 3U_T}{n} = 0.5 \text{ V} \quad (8)$$

in schwacher Inversion befindet.

Die Formel für NMOS Transistorstrom in schwacher Inversion lautet:

$$I_{ds} = \frac{W}{L} I_0 e^{\frac{V_{gs}-V_{thsb}}{nU_T}} (1 - e^{\frac{-V_{ds}}{U_T}}) \quad (9)$$

mit

$$I_0 \equiv \mu C'_{ox} U_T^2 (n - 1) \sim 59 \text{ nA}$$

Wenn wir (9) in (1) einsetzen, bekommen wir die Formel für on-Widerstand in schwacher Inversion:

$$\frac{1}{r_{on,weak}} = \frac{W}{L} \frac{I_0}{U_T} e^{\frac{V_{gs}-V_{thsb}}{nU_T}}$$

Oder

$$r_{on,weak} = \frac{L}{W} \frac{U_T}{I_0} e^{-\frac{V_{gs}-V_{thsb}}{nU_T}} = \frac{L}{W} \frac{U_T}{I_0} e^{\frac{nV_{in}+V_{th}-V_{DD}}{nU_T}} \sim \frac{L}{W} 440 \text{ k}\Omega \times e^{\frac{nV_{in}+V_{th}-V_{DD}}{nU_T}} \quad (10)$$

Bei $W = L$, erreicht der Widerstand $1 \text{ G}\Omega$ für

$$V_{thsb} - V_{gs} = nV_{in} + V_{th} - V_{DD} > nU_T \ln\left(\frac{1\text{G}}{440\text{k}}\right) \sim 250\text{mV}$$

oder

$$V_{in} > \frac{(V_{DD}-V_{th}+250\text{mV})}{n} = \frac{(1.2-500\text{mV}+250\text{mV})}{n} = 0.76 \text{ V} \quad (11)$$

Für höhere V_{in} kann man annehmen dass der Transistor immer sperrt.

Abbildung 9 zeigt verschiedene Arbeitsbereiche des NMOS Sampling-Transistors.

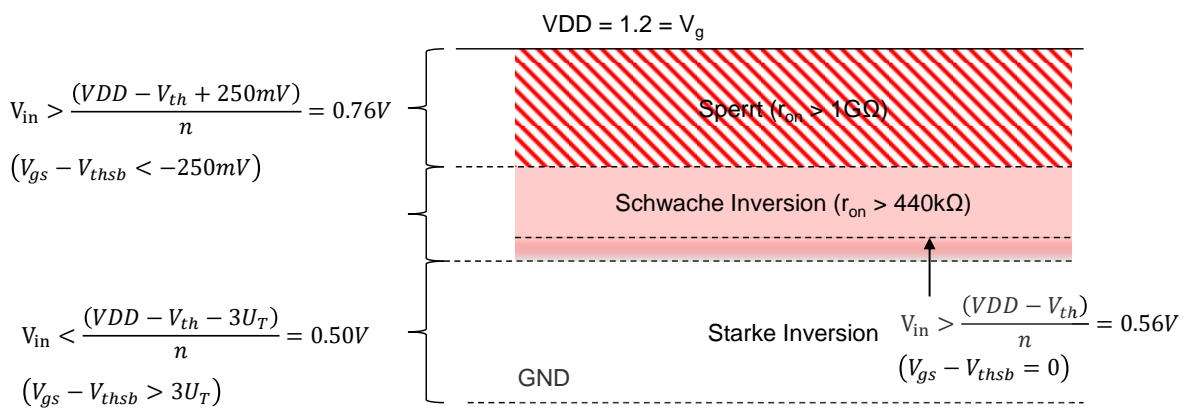


Abbildung 9: Verschiedene Arbeitsbereiche vom Sampling-Transistor (NMOS)

Folgende Tabelle fasst die Ergebnisse zusammen:

| Arbeitsbereich | Bedingung | Bedingung | r_{on} |
|--------------------|------------------------------------|---------------------------|---|
| Sperrt | $V_{thsb} - V_{gs} > 250\text{mV}$ | $V_{in} > 0.76 \text{ V}$ | $> \frac{1\text{G}\Omega}{W/L}$ |
| Schwache Inversion | $V_{gs} - V_{thsb} < 3U_T$ | $V_{in} > 0.5 \text{ V}$ | $\frac{L}{W} 440 \text{ k}\Omega \times e^{\frac{nV_{in}+V_{th}-V_{DD}}{nU_T}}$ |

| | | | |
|------------------|----------------------------|------------------|---|
| Starke Inversion | $V_{gs} - V_{thsb} > 3U_T$ | $V_{in} < 0.5 V$ | $\frac{1}{\mu C'_{ox} \frac{W}{L} (V_{DD} - nV_{in} - V_{th})}$ |
|------------------|----------------------------|------------------|---|

Bandbreite

Widerstand des Schalters führt zu einem Tiefpassverhalten der Schaltung:

$$V_{out}(s) = \frac{1}{s r_{on} C + 1} V_{in}(s) \quad (12)$$

Die Bandbreite ist:

$$f_0 = \frac{1}{2\pi \times r_{on} C} \quad (13)$$

Beispiel:

T_{sw} Dimensionen: $W = 1 \mu m$, $L = 65 nm$

$C = 100 fF$

$V_{DD} - nV_{in} - V_{th} = 100mV$

$$r_{on} = \frac{28k\Omega}{W/L} = 1.82 k\Omega$$

Bandbreite:

$$f_0 = \frac{1}{2\pi \times r_{on} C} = 874MHz$$

Da der Widerstand r_{on} mit steigender V_{in} größer wird, wird die Schaltung auch langsamer. Abbildung 10 zeigt diesen Effekt. Für $V_{in} > 0.76 V$, sperrt der Transistor und V_{out} kann V_{in} nicht folgen.

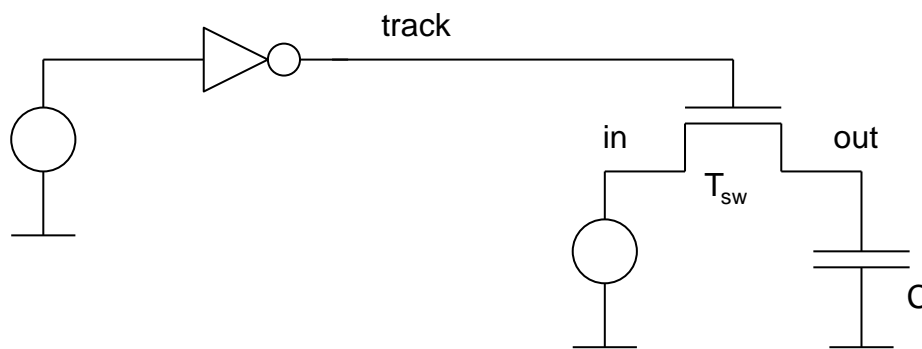
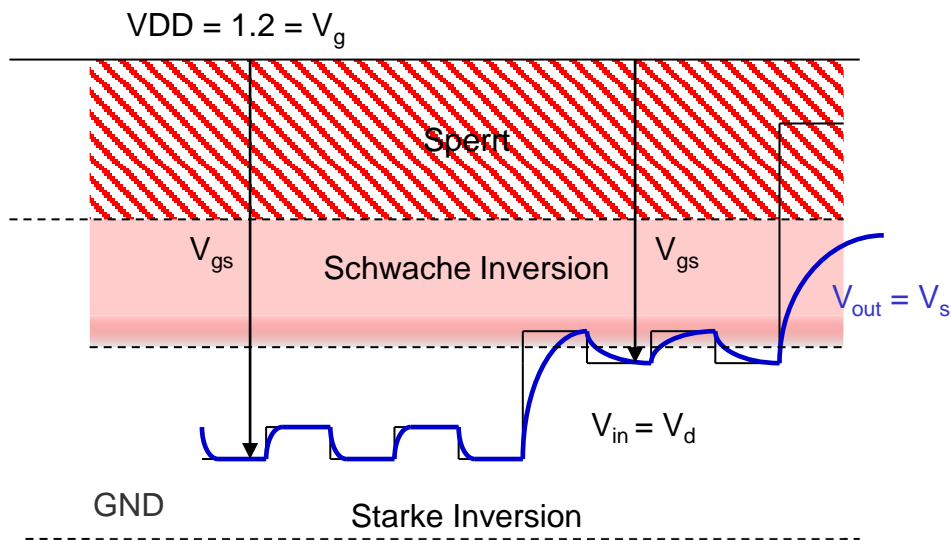


Abbildung 10: Track und Hold Schaltung verhält sich wie ein Tiefpassfilter.

Sampling Fehler

Wenn der Transistor in starker Inversion ist, enthält der Transistorkanal folgende Ladung:

$$|Q_{ch}| = WLC'_{ox}(V_{gs} - V_{thsb}) = WLC'_{ox}(V_{DD} - nV_{in} - V_{th}) \quad (14)$$

Die Ladung ist im Falle vom NMOS negativ.

Wenn der Transistor-Schalter ausgeschaltet wird, muss diese Ladung abfließen. Die Ladung verteilt sich etwa zu Hälfte auf die Eingangsquelle und auf die Kapazität C (Abbildung 11). Die Ladung erzeugt eine Potentialänderung V_{serr} am Kondensator C :

$$|V_{serr}| = \frac{1}{2} \frac{|Q_{ch}|}{C} = \frac{1}{2} \frac{WLC'_{ox}(VDD - nV_{in} - V_{th})}{C} \quad (15)$$

Diese Potentialänderung verfälscht das Signale. Sie stellt einen sampling Fehler wegen Ladungsinjektion dar.

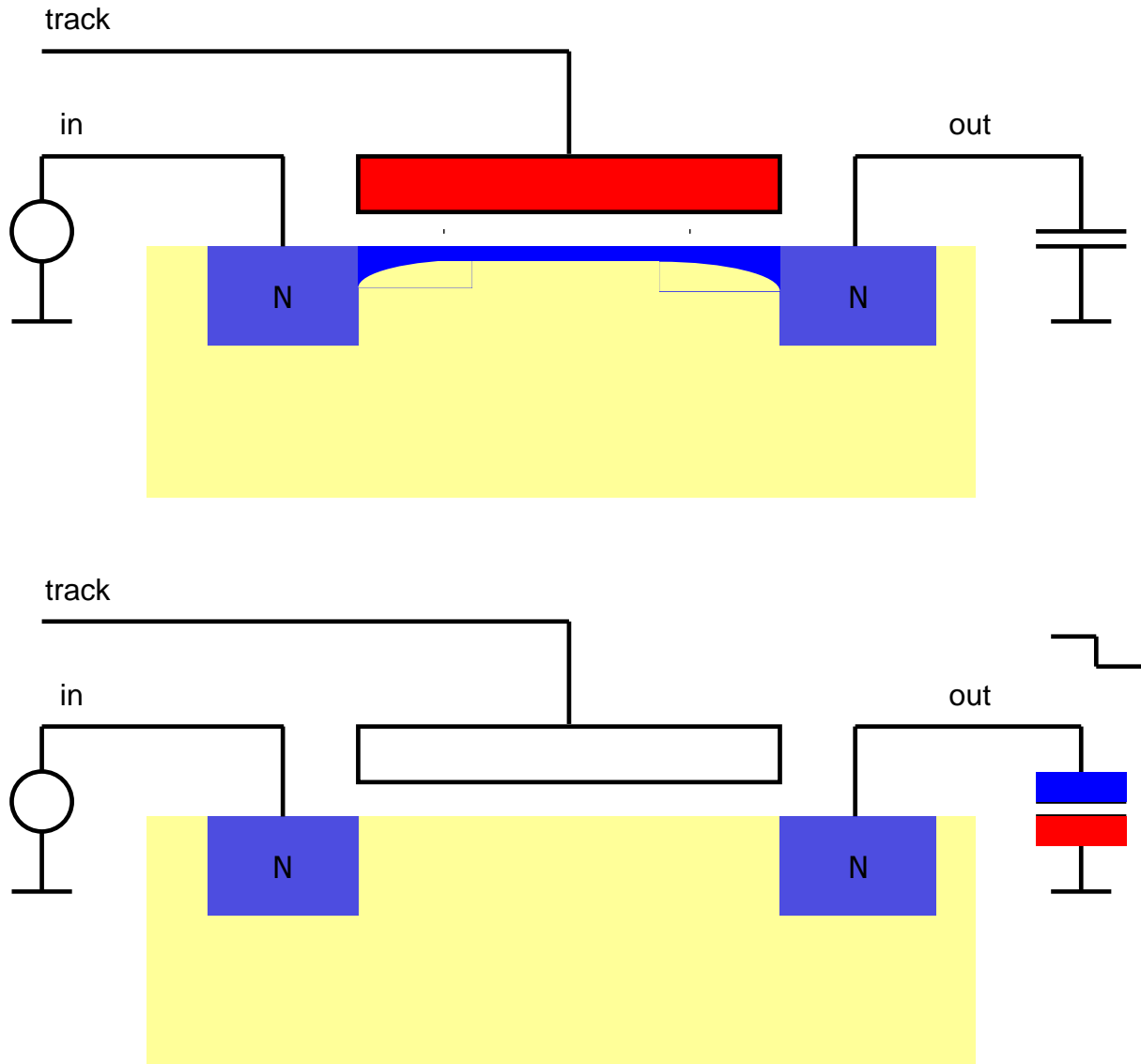


Abbildung 11: Ladungsinjektion und Sampling-Fehler

Beachten wir, dass der Sampling-Fehler vom Signalpegel abhängig ist (Abbildung 12). Der Fehler führt zu einer nichtlinearen Charakteristik.

Zusätzlich zu dem Fehler (15) führt die Gate-Drain Überlappkapazität C_{ovl} zu einem konstanten Sampling-Fehler:

$$|V_{serr,overlap}| = \frac{C_{ovl}}{C} VDD \quad (16)$$

Wenn der Transistor in schwacher Inversion leitet, dominiert der Fehlerbeitrag der Überlappkapazität.

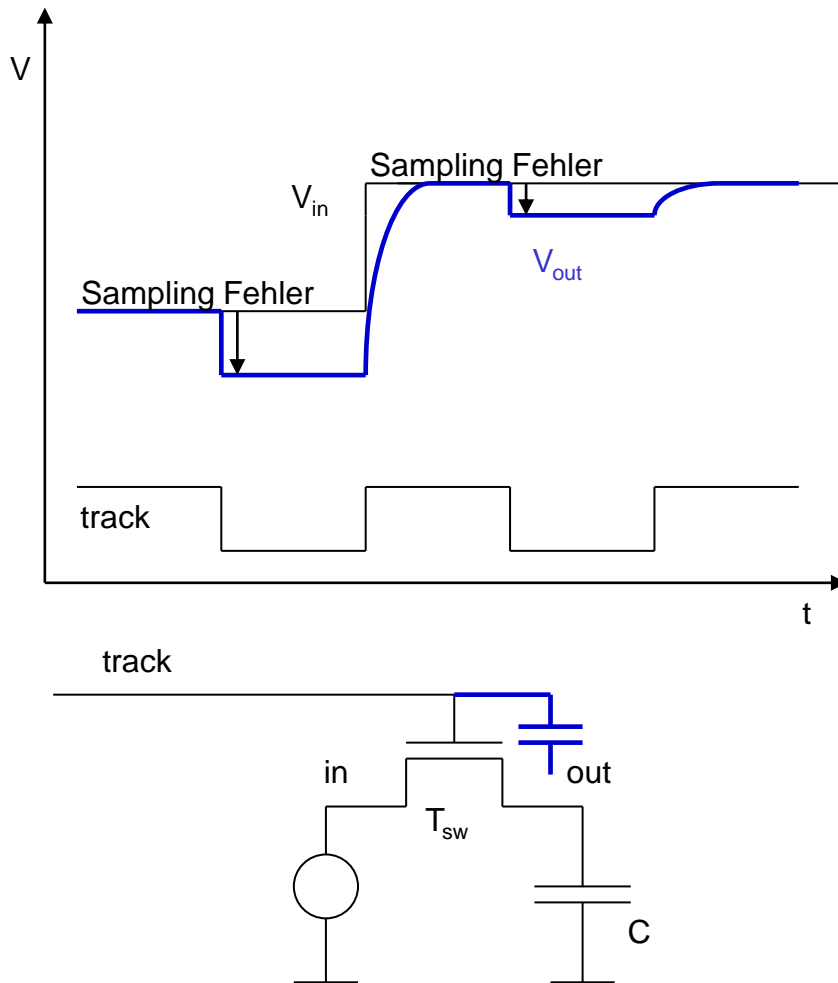


Abbildung 12: Sampling-Fehler ist von V_{in} abhängig

Dimensionierung: Normalerweise haben die Sampling-Transistoren die minimale Gate-Länge um die Gate-Kapazität und den Sampling-Fehler zu reduzieren und um die Bandbreite zu maximieren. Die Gate-Breite wird so gewählt um eine ausreichende Bandbreite (13) zu ermöglichen.

Beispiel

Der maximale Sampling-Fehler für T_{sw} Dimensionen: $W = 1 \mu\text{m}$, $L = 65 \text{ nm}$, und für $C = 100 \text{ fF}$ ist:

$$|V_{serr}| = \frac{1}{2} \frac{WLC'_{ox}(V_{DD} - 0 - V_{th})}{C} = 3 \text{ mV}$$

Dummy Schalter

Man kann den sampling Fehler wegen Ladungsinjektion reduzieren, indem man einen dummy Schalter (Abbildung 13) hinzufügt. Abbildung 13 zeigt die Sampling Schaltung mit dem dummy Schalter T_d . Der dummy Schalter stellt eine Kapazität C_d dar. Gate von T_d ist an negiertes trackB Signal angeschlossen. Wenn der Schalter T_{sw} ausgeschaltet wird, steigt trackB von 0 auf VDD. Im dummy Schalter wird dann folgende Gate Ladung erzeugt:

$$|Q_{ch,d}| = W_d L_d C'_{ox} (V_{DD} - nV_{in} - V_{th})$$

Diese Ladung wird von der Kapazität C abgezogen. Deshalb ist der Sampling Fehler:

$$|V_{serr}| = \frac{1}{2} \frac{W L C'_{ox} (V_{DD} - V_{in} - V_{th})}{C} - \frac{W_d L_d C'_{ox} (V_{DD} - V_{in} - V_{th})}{C}$$

Wenn der dummy Schalter etwa zweimal kleinere Fläche hat ($W_d L_d = \frac{1}{2} W L$) ist der sampling Fehler wegen Ladungsinjektion etwa 0. Abbildung 14 zeigt das.

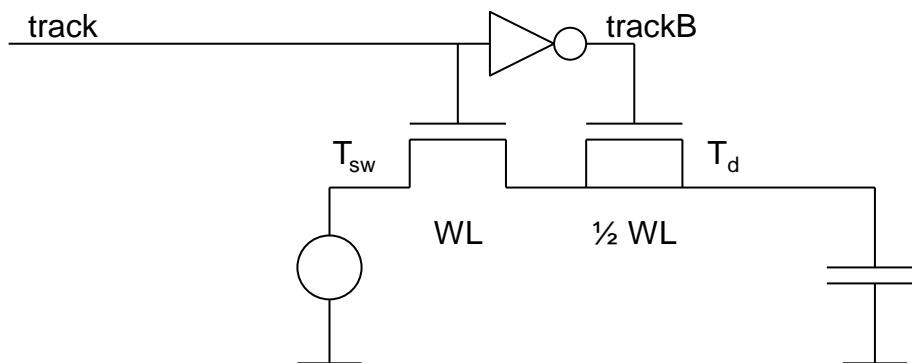
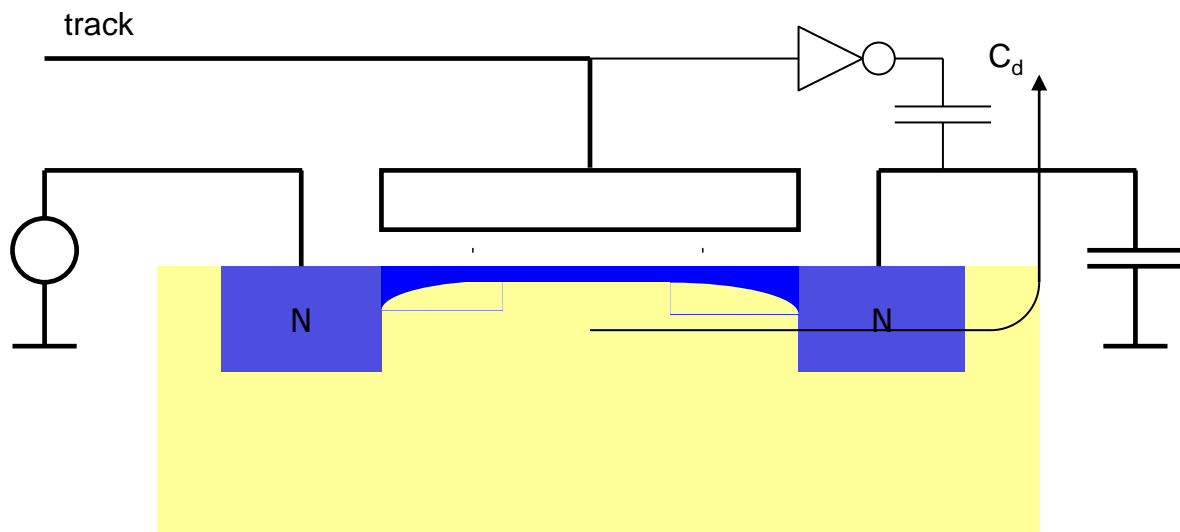


Abbildung 13: Dummy Schalter

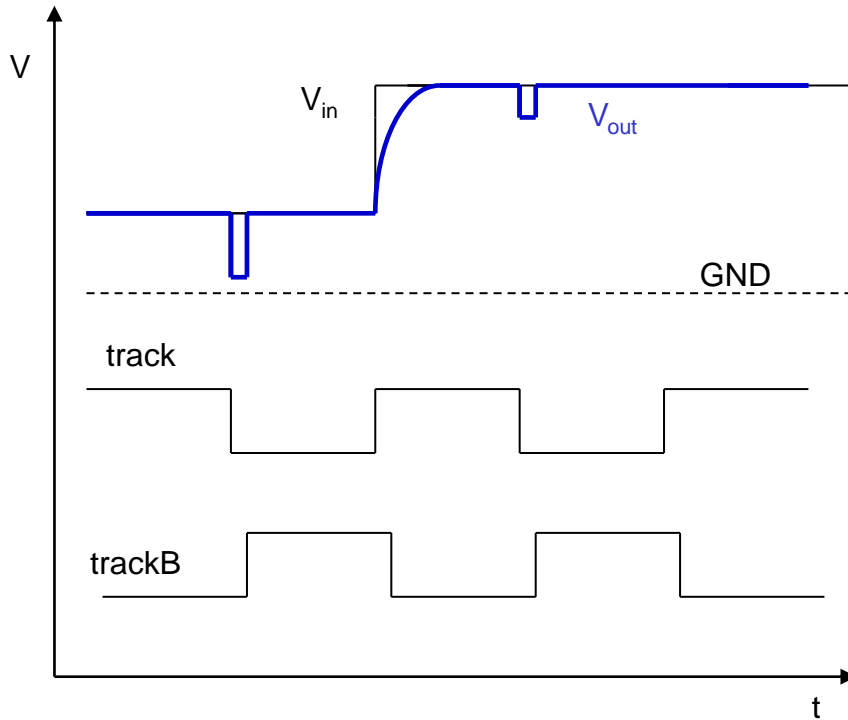


Abbildung 14: Dummy Schalter kann die Ladungsinjektion kompensieren

PMOS Schalter

Wir haben gezeigt (6) dass NMOS Schalter für höhere V_{in} Potentiale schlechter leitet. Ein PMOS leitet besser für niedrigere V_{in} . Das Gate vom PMOS Schalter muss an das negierte Signal trackB angeschlossen werden.

Man sagt auch, dass das Signal trackB einen niedrigen aktiven Pegel hat (active low).

In Track Phase gilt trackB = 0.

Der on-Widerstand vom PMOS Schalter ist:

$$r_{on,pmos} = \frac{1}{\mu_p C'_{ox} \frac{W}{L} (|V_{gs}| - |V_{thsb}|)} = \frac{1}{\mu_p C'_{ox} \frac{W}{L} (|V_{gs}| - |V_{th}| - (n-1)|V_{sb}|)} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{in} - |V_{th}| - (n-1)(VDD - V_{in}))} = \frac{1}{\mu C'_{ox} \frac{W}{L} (nV_{in} - |V_{th}| - (n-1)VDD)}$$

Ein PMOS Schalter ist in starker Inversion für:

$$|V_{gs}| - |V_{thsb}| = nV_{in} - |V_{th}| - (n-1)VDD > 3U_T \Rightarrow V_{in} > \frac{|V_{th}| + (n-1)VDD + 3U_T}{n} = 0.7V$$

Erinnern wir uns an das Ergebnis für NMOS. Ein NMOS Schalter ist in starker Inversion für:

$$V_{in} < \frac{VDD - V_{th} - 3U_T}{n} = 0.50V = VDD - 0.7V$$

Folgende Tabelle fasst die Arbeitsbereiche eines PMOS Schalters zusammen.

| Arbeitsbereich | Bedingung | Bedingung | r_{on} |
|--------------------|--------------------------------|-------------------|--|
| Sperrt | $V_{thsb} - V_{gs} > 250mV$ | $V_{in} < 0.64 V$ | $> \frac{1.8 G\Omega}{W/L}$ |
| Schwache Inversion | $ V_{gs} - V_{thsb} < 3U_T$ | $V_{in} < 0.7 V$ | $\frac{L}{W} 790 k\Omega \times e^{\frac{-nV_{in} + V_{th} + (n-1)VDD}{nU_T}}$ |
| Starke Inversion | $ V_{gs} - V_{thsb} > 3U_T$ | $V_{in} > 0.7 V$ | $\frac{1}{\mu_p C'_{ox} \frac{W}{L} (nV_{in} - V_{th} - (n-1)VDD)}$ |

Abbildung 15 zeigt Arbeitsbereiche eines NMOS Schalters (links) und eines PMOS Schalters (rechts).

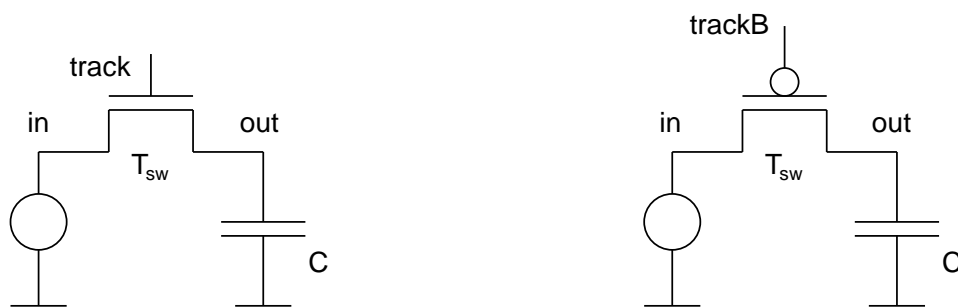
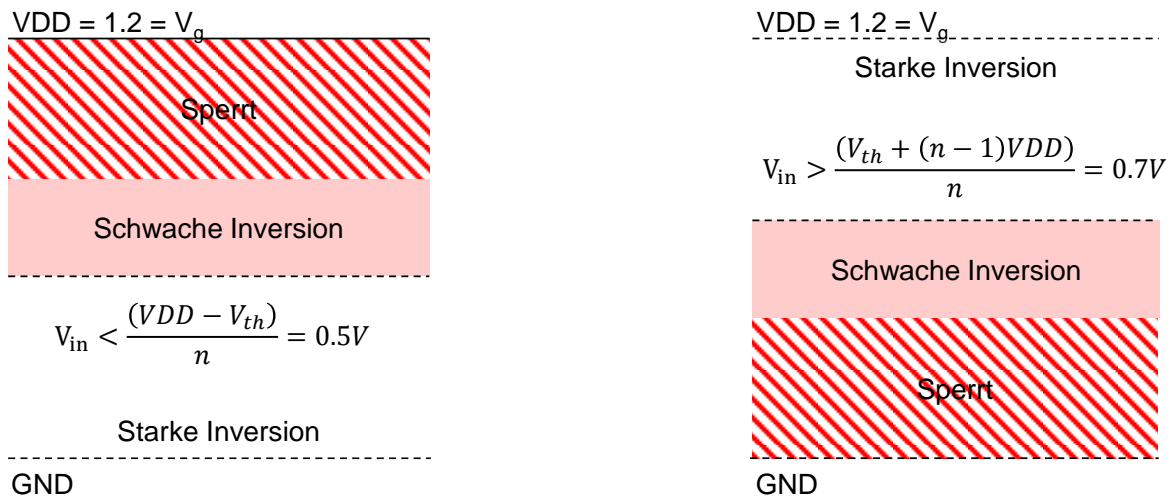


Abbildung 15: Arbeitsbereiche eines NMOS Schalters (links) und eines PMOS Schalters (rechts).

Transmission-Gate

Oft verwendet man für den Schalter PMOS und NMOS Transistor in Parallel. In dem Fall leitet die Gesamtschaltung für die meisten V_{in} relativ gut. Nur im Bereich $V_{in} \sim \frac{1}{2} VDD$, befinden sich beide Transistoren schwacher Inversion (Abbildung 15). Der Exponent in e ist klein und $r_{on} < 1M\Omega$.

Die Signale track und trackB sind negiert. Diesen kombinierten Schalter nennt man transmission gate (TG).

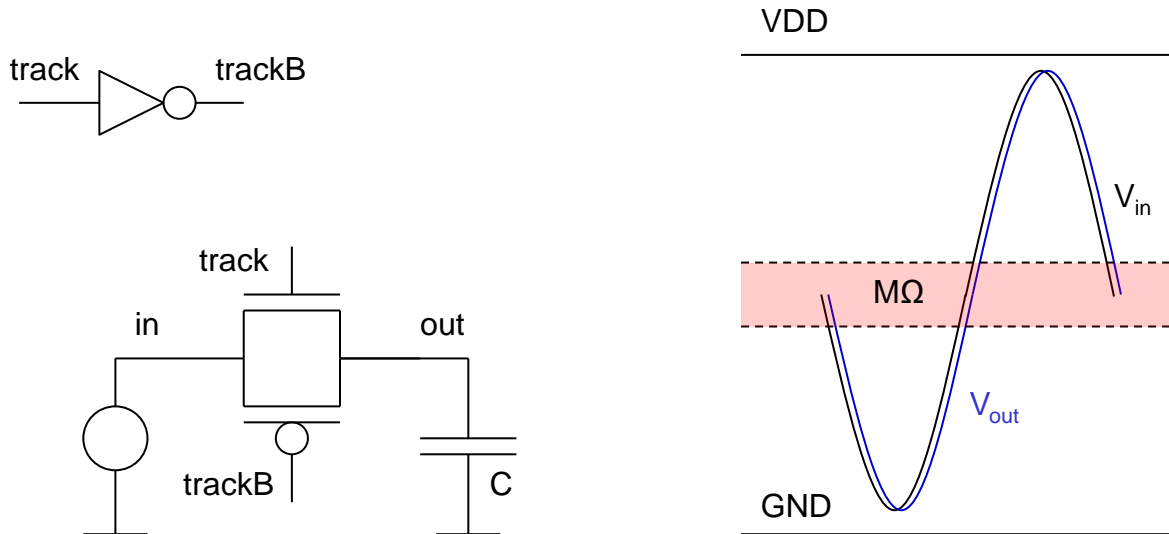


Abbildung 16: Transmission Gate

Widerstand r_{on} ist durch folgende Formel gegeben:

$$R_{on} = \frac{r_{on,nmos} r_{on,pmos}}{r_{on,nmos} + r_{on,pmos}} = \frac{k_p k_n (V_{DD} - nV_{in} - V_{th})(nV_{in} - |V_{th}| - (n-1)V_{DD})}{k_p (V_{DD} - V_{in} - V_{th}) k_n (nV_{in} - |V_{th}| - (n-1)V_{DD})} \quad (17)$$

mit

$$k_n \equiv \mu_n C'_{ox} \frac{W_n}{L_n}$$

$$k_p \equiv \mu_p C'_{ox} \frac{W_p}{L_p}$$

Bei gleicher Gate-Breite hat ein PMOS Schalter in unserem Beispiel etwa $\mu_n/\mu_p = 1.8 \times$ kleineren on-Widerstand.

Wir sehen aus (17), dass ein transmission Gate ebenfalls einen ungleichen Widerstand hat, der besonders für $V_{in} \sim 1/2 V_{DD}$ hoch wird.

Die im folgenden Absatz beschriebene Schaltung hat einen von V_{in} unabhängigen Weiderstand.

Bootstrapped Schalter

Wenn das Gate Potential im on-Zustand:

$$V_{g,on} = V_{in} + V_{on}$$

beträgt, ist r_{on} ungefähr von V_{in} unabhängig. V_{on} ist eine konstante Spannung, normalerweise $V_{on} = V_{DD}$.

$$r_{on} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{gs} - V_{thsb})} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_g - V_{th} - nV_{in})} = \frac{1}{\mu C'_{ox} \frac{W}{L} (V_{on} - V_{th} - (n-1)V_{in})} \quad (18)$$

Die Formel (18) zeigt, dass auch dieser Schalter nicht „perfekt“ ist, da die Schwelle-Spannung wegen Substrateffekt von V_{in} abhängig ist. Idealerweise wäre

$$V_{g,on} - V_{th} - nV_{in} = \text{const} \Rightarrow V_{g,on} = nV_{in} + V_{on}$$

Das ist allerdings schwer zu realisieren.

Wir werden in diesem Kapitel die Schaltung vorstellen, die

$$V_{g,on} = V_{in} + VDD$$

erzeugt. Diese Schaltung ist für meiste Anwendungen gut genug.

Beachten wir, dass $V_{g,on}$ höher als VDD sein kann. Wenn eine Schaltung, deren Versorgungsspannung VDD ist, ein Potential größer als VDD erzeugt, nennt man das „Bootstrapping“. Der Name sollte suggerieren, dass die Aufgabe eigentlich unmöglich scheint, als ob jemand versuchen würde sich selbst hochzuziehen indem er eigene Stiefelriemen zieht.

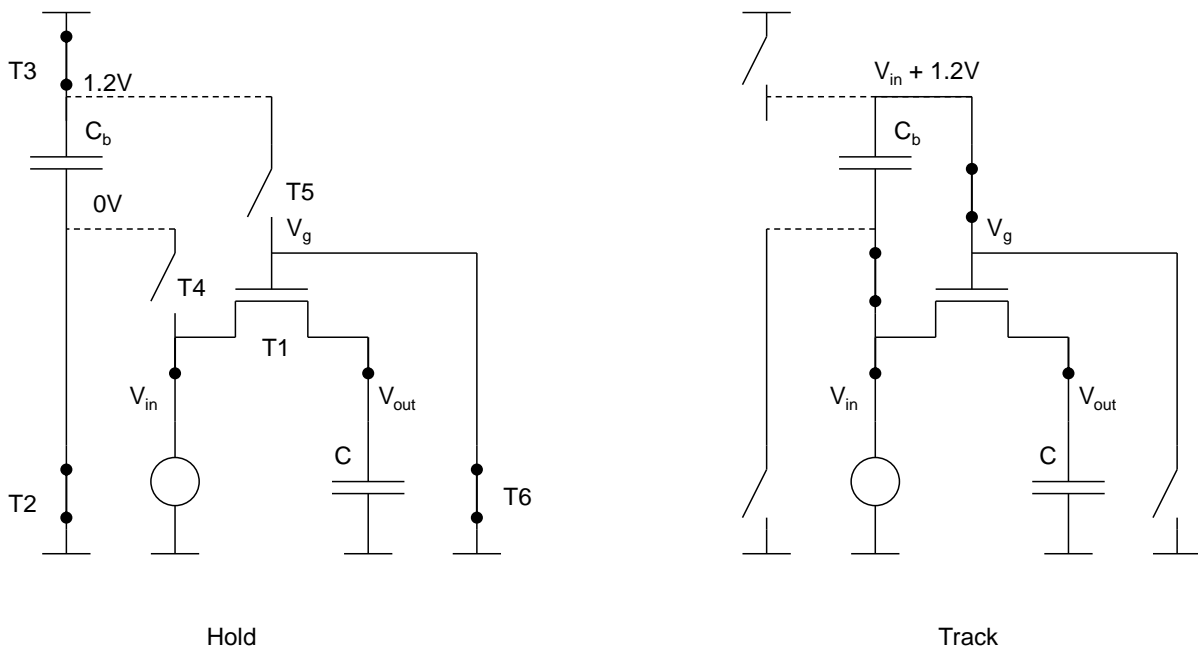


Abbildung 17: Bootstrapped Schalter, Idee.

Abbildung 17 zeigt die Idee für die Realisierung eines bootstrapped Schalters. Bootstrapping macht man mit einem Kondensator C_b . Der Kondensator C_b wird in Hold-Phase zwischen VDD und GND aufgeladen (Abbildung 17, links). In Track Phase wird die negative Elektrode von C_b an V_{in} angeschlossen (Abbildung 17, rechts). Die Positive Elektrode von C_b hat dann das Potential $V_{in} + VDD$ ($V_{in} + 1.2\text{ V}$) und kann verwendet werden um $V_{g,on}$ zu erzeugen. Kondensator C_b wirkt wie eine Batterie, die Spannung VDD erzeugt. Beachten wir, dass C_b die Gate-Kapazität von $V_{g,off} = 0\text{ V}$ bis $V_{g,on} = V_{in} + VDD$ aufladen muss. Dafür wird die Ladung

$Q = (V_{in} + VDD) C_{gate}$ benötigt, die C_b „liefern“ muss. C_b muss also viel Größer als C_{gate} sein, ansonsten entlädt sich C_b und die Spannung $V_{in} + VDD$ kann nicht erreicht werden.

Wenn sich in track Modus V_{in} verändert, passt sich auch $V_{g,on}$ „automatisch“ an (Abbildung 18).

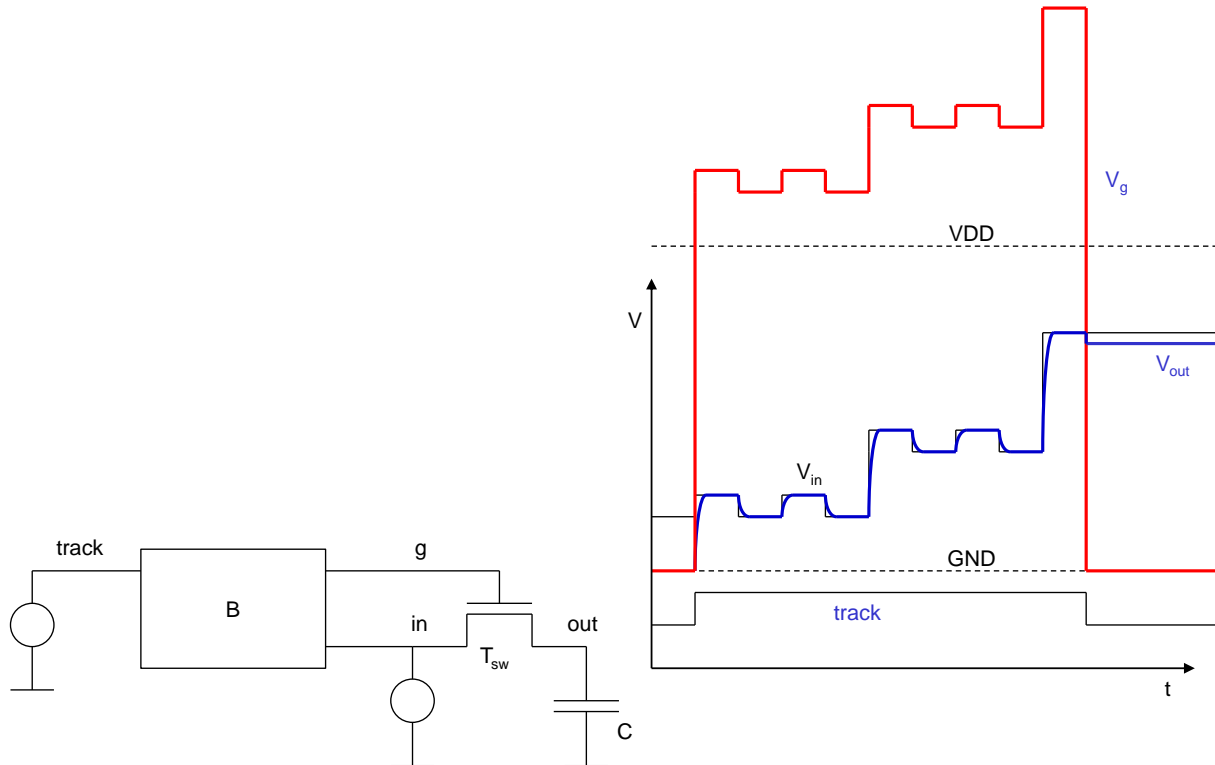


Abbildung 18: Bootstrapped Schalter, Signale

Sampling Fehler ist im Falle vom bootstrapped Schalter relativ konstant.

Auch hier „stört“ der Substrateffekt.

$$|V_{serr}| = \frac{1}{2} \frac{|Q_{ch}|}{C} = \frac{1}{2} \frac{WLC'_{ox}(V_{on} - (n-1)V_{in})}{C}$$

Implementierung (optional)

Es ist ziemlich schwierig einen bootstrapped Schalter zu designen. Wir zeigen hier eine Implementierung:

Fangen wir mit der Schaltung in Abbildung 19 an.

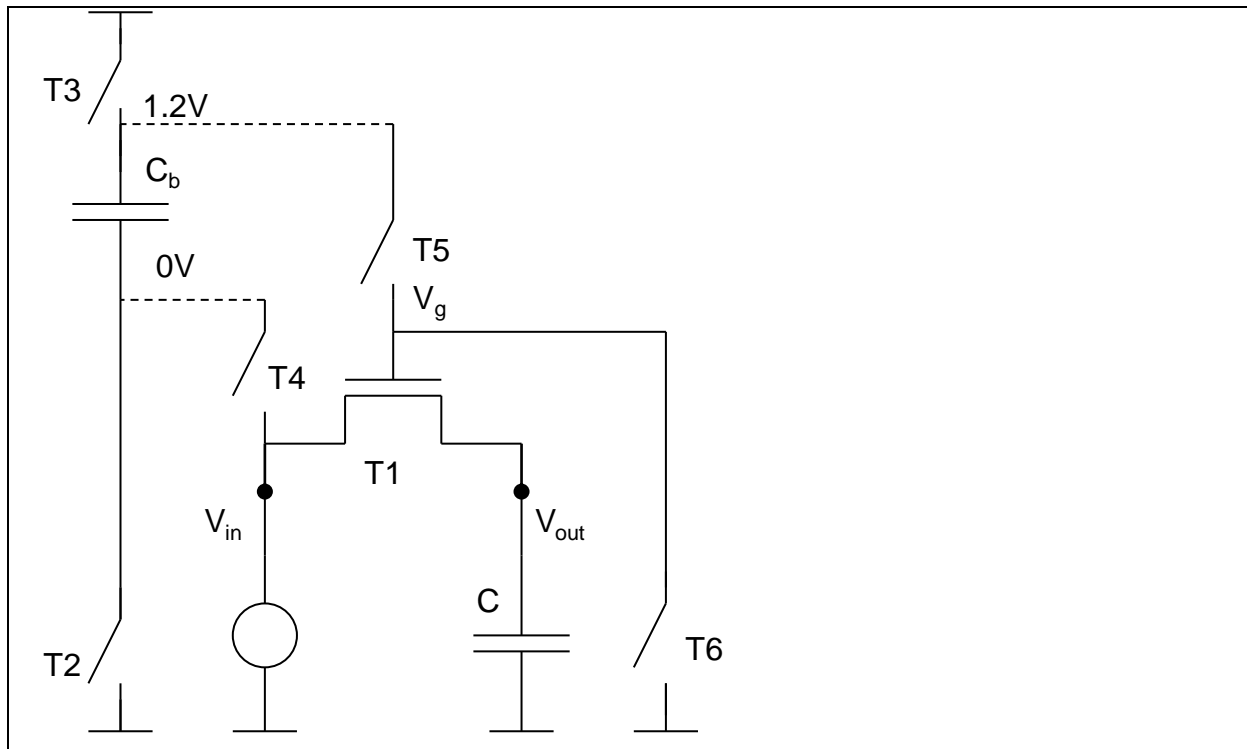


Abbildung 19: Bootstrapped Schalter - Prinzipschaltplan

Wir realisieren die Schalter T3 und T5 mit PMOS Transistoren, da diese Schalter hohe Potentiale an Source und Drain haben. Andere Schalter sind NMOS Transistoren.

Bestimmen wir nun die Gate-Potentiale im Track und Hold Zustand für jeden Transistor.

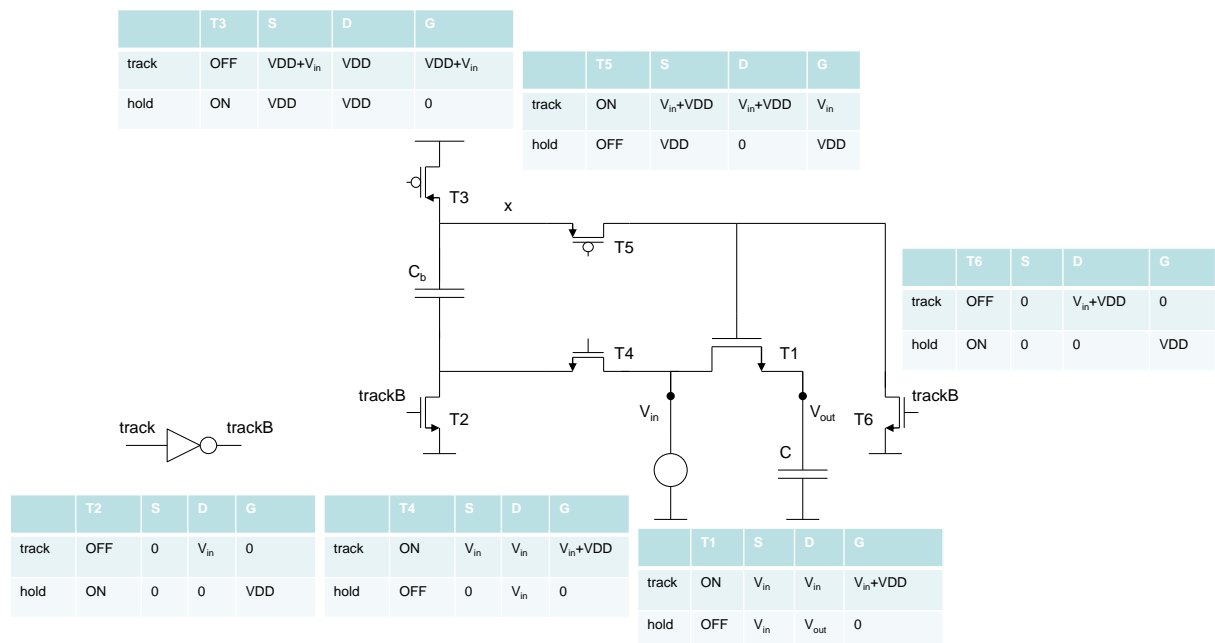


Abbildung 20: Bootstrapped Schalter – Implementierung. Die Pfeile in den Transistor-Symbolen bezeichnen Source.

Abbildung 20 zeigt für alle Transistoren jeweils eine Tabelle. Sie zeigt die Source-, Drain- und Gate Potentiale in Tack und Hold Phase, sowie den Zustand des Transistors (ON, OFF).

Ergänzen wir die Schaltungen, die die Gate-Spannungen generieren.

Die Transistoren T2 und T6 haben im Track Zustand $V_g = 0$ und im hold Zustand $V_g = VDD$. Wir können also einfach das trackB Signal an das Gate von T2 und T6 anschließen.

Transistoren T1, T3 und T4 haben die gleichen Gate-Potentiale in beiden Phasen. Wir können also die Gates von T1, T3 und T4 kurzschließen (Abbildung 21). Die Kapazität C_b erzeugt das Gate-Potential für T1 und damit auch für T3 und T4.

Es bleibt nur noch das Gate von T5. Sein Potential ist im Track Zustand gleich V_{in} und im Hold Zustand gleich VDD.

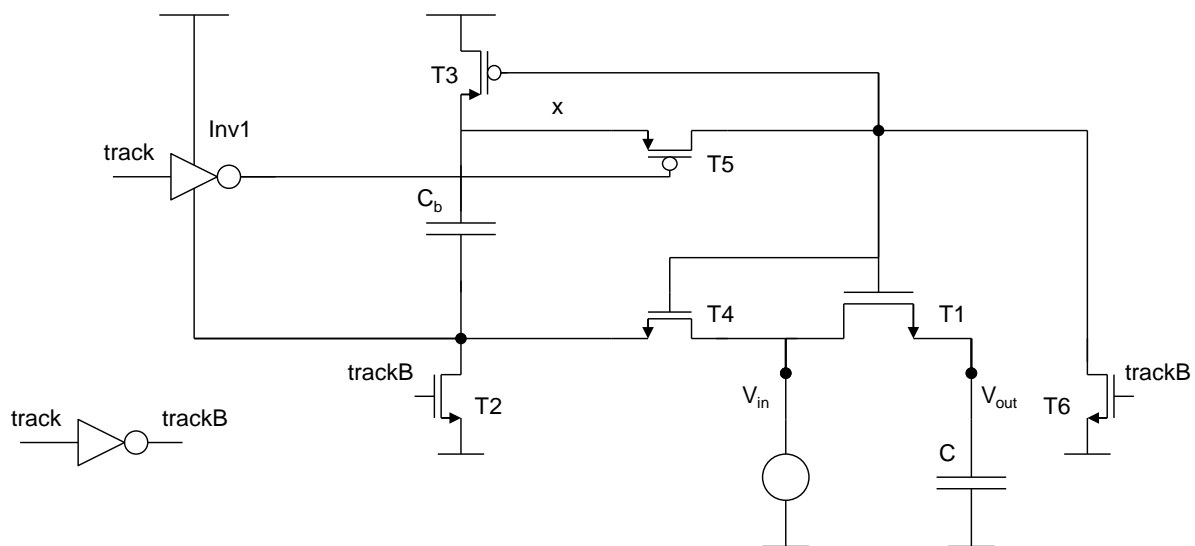


Abbildung 21: Bootstrapped Schalter – Implementierung.

Dieses Potential können wir mit einer Inverter-ähnlichen Schaltung Inv1 generieren (Abbildung 21). Die Masse dieses Inverters ist an Source von T4 angeschlossen, da dieses Potential im Track Zustand auch V_{in} ist.

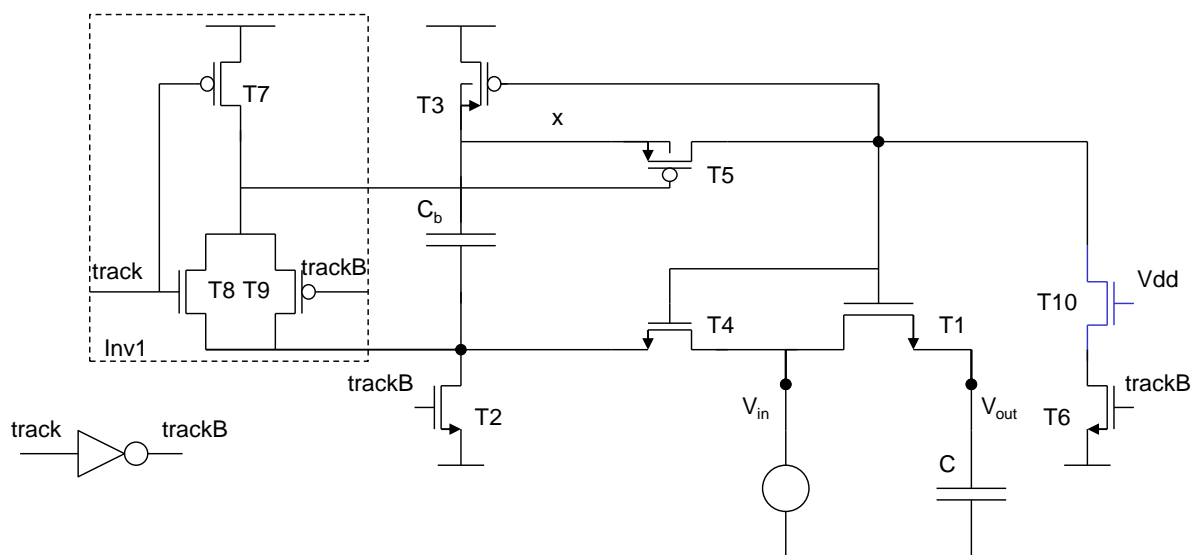


Abbildung 22: Bootstrapped Schalter – vollständige Schaltung. Wenn der Substratkontakt im Symbol fehlt, ist das Substrat entweder an GND (NMOS) oder VDD (PMOS) angeschlossen.

Abbildung 22 zeigt die vollständige Schaltung, wo wir auch die Implementierung der Schaltung Inv1 sehen.

Bestimmen wir noch die Potentiale für die N- und P-Wannen. Besonders problematisch sind die PMOS Transistoren, die im Track Zustand höhere Source und Drain Potentiale als VDD haben ($V_{DD} + V_{in}$): T3 und T5. Das Potential von deren N-Wannen (Substratpotential) muss im Track Zustand ebenfalls $V_{in} + V_{DD}$ sein, ansonsten würden die Source/Drain-Substrat Dioden leiten. Im Hold Zustand sollen die Wannen von T3 und T5 am VDD Potential sein. Eine Lösung ist es, die Substrate (N-Wannen) von beiden Transistoren an Knoten x anzuschließen, da V_x die erforderliche Potentiale hat (Abbildung 22). Die Wannen von anderen PMOS Transistoren sind an VDD angeschlossen und die Wannen von allen NMOS Transistoren an GND.

Bei den Schaltungen, die höhere Potentiale als VDD erzeugen, besteht die Gefahr, dass manche Transistoren eine Überspannung, also eine Spannung höher als VDD zwischen Gate, Source und Drain haben. Solche Überspannungen könnten die Transistoren beschädigen. Aus den Tabellen sehen wir, dass T6 im Track Zustand eine Spannung von $V_{in} + V_{DD}$ zwischen Drain und Source hat. Dieses Problem kann man durch Einsetzen von T10 lösen (Abbildung 22). Transistor T10 schützt T6 indem er verhindert, dass das Drain-Potential von T6 höher als $\sim V_{DD} - V_{th}$ steigt.

Getakteter Spannungsverstärker

Wir haben in vorherigen Vorlesungen einen invertierenden Verstärker mit der Rückkopplung basierend auf einer Kapazität C_f und einem Widerstand R_f vorgestellt. In Vorlesung 6 haben wir die Übertragungsfunktion und die Impulsantwort dieses Verstärkers hergeleitet. Wir haben gesehen, dass der Verstärker ein Hochpassverhalten hat.

Hier werden wir einen getakteten invertierenden Verstärker vorstellen. Der Vorteil dieses Verstärkers gegenüber dem invertierenden Spannungsverstärker aus vorherigen Vorlesungen ist es, dass er auch langsame oder DC-Signale Verstärkern kann.

Der getaktete Verstärker kann ebenfalls als Sample and Hold Schaltung arbeiten.

Auf English nennt man einen getakteten Verstärker switch capacitor amplifier. Den Verstärker mit ohne Taktsignal mit der Rückkopplung basierend auf R oder C nennt man continuous feedback amplifier.

Funktionsweise

Abbildung 23 zeigt Schaltplan des getakteten Verstärkers (unten) und Zeitverlauf von wichtigen Signalen (waveforms) (oben).

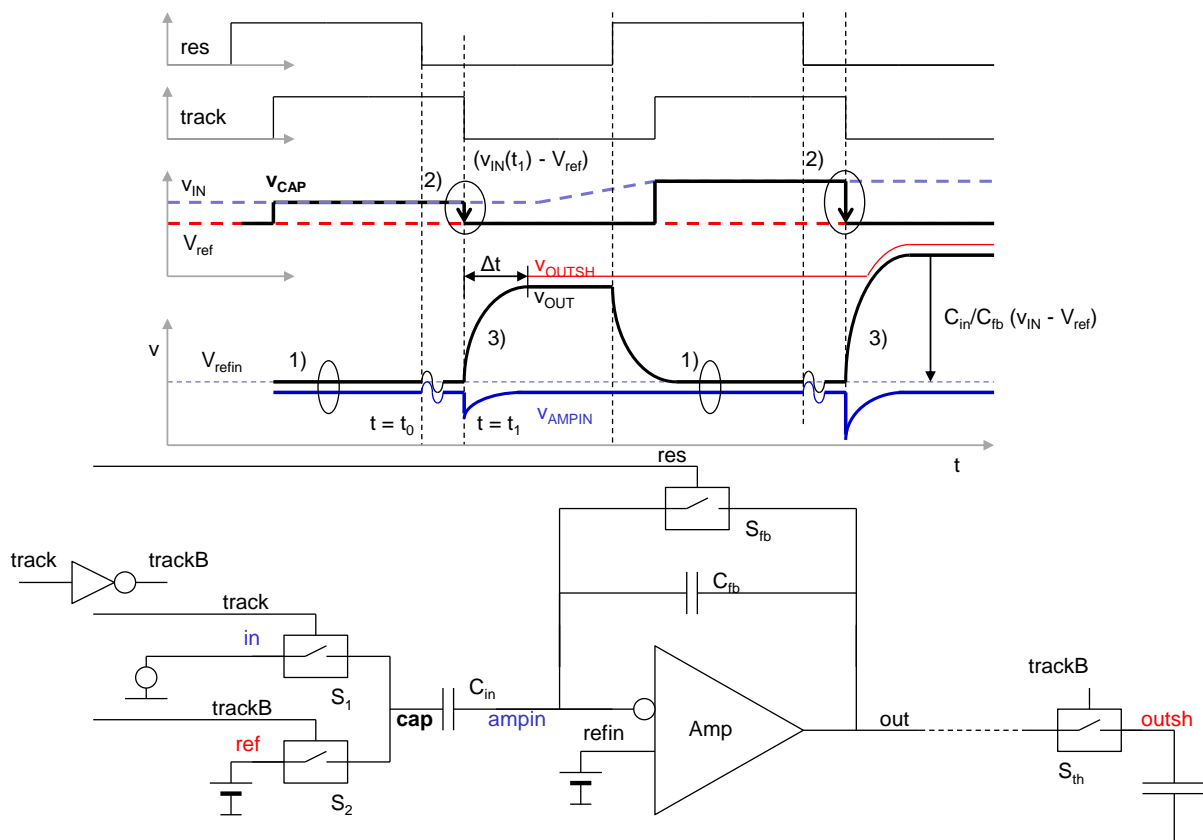


Abbildung 23: Schaltplan des getakteten Spannungsverstärkers (unten) und Zeitverlauf von wichtigen Signalen (waveforms) oben.

Reset Signal (res) ist ein digitales Signal. Der Verstärker befindet sich entweder im reset Zustand (res = 1) oder im Zustand wo er Signale verstärkt (res = 0).

Komponenten S_1 , S_2 und S_{fb} sind Schalter, realisiert mit einem PMOS Transistor, NMOS Transistor oder als transmission gate.

Der Verstärker Amp (die aktive Komponente) kann entweder als Operationsverstärker oder als single ended Verstärker mit negativer Verstärkung (z.B. single ended Verstärker mit gefalteter Kaskode) realisiert werden. Im Falle von Implementierung mit einem Operationsverstärker, schließen wir den positiven Eingang von Amp an eine konstante Spannung V_{refin} .

1) Reset Phase

Die Rolle von S_{fb} ist es, die Rückkopplung zwischen den Punkten out und ampin herzustellen, auch dieselbe Weise wie der Widerstand R_{fb} im kontinuierlichen Verstärker. Dadurch wird der Verstärker in den richtigen Arbeitspunkt gebracht.

Der Arbeitspunkt ist:

$$V_{ampin,dc} = V_{out,dc} = V_{refin}$$

Wir schreiben im Index „dc“ um klar zu machen, dass es sich um DC Spannungen bzw. um Arbeitspunkte handelt.

In reset-Phase sind die momentanen Potentiale in Knoten out und ampin gleich wie die entsprechenden DC Werte.

$$V_{AMPIN} = V_{ampin,dc}$$

$$V_{OUT} = V_{out,dc}$$

2) Spannungsstufe

Die Rolle von S_1 und S_2 ist es eine Spannungsstufe am Punkt cap zu erzeugen. S_1 und S_2 bilden einen Analogmultiplexer. Wenn Signal track von logisch 1 auf 0 geht ($t = t_1$), ändert sich das Potential V_{CAP} von $V_{IN}(t_1)$ auf V_{ref} .

3) Verstärkung

Der Verstärker verstärkt die Spannungsänderung im Knoten cap. Das Ausgangspotential ändert sich von seinem DC-Wert $V_{out,dc} = V_{refin}$ bis zu dem Wert:

$$V_{OUT}(t_1 + \Delta t) = V_{out,dc} + \frac{C_{in}}{C_{fb}} (V_{IN}(t_1) - V_{ref}) = V_{refin} + \frac{C_{in}}{C_{fb}} (V_{IN}(t_1) - V_{ref}) \quad (19)$$

Das heißt, am Ausgang entstehen Signale mit der Amplitude

$$\frac{C_{in}}{C_{fb}} (V_{IN}(t_1 + NT) - V_{ref})$$

wo T die Periode von res und track und N die ganze Zahl ist.

Das Ausgangspotential springt immer zwischen den Werten V_{ref} (reset-Zustand) und

| | |
|-------------------|--|
| Resetphase | V_{ref} |
| Verstärkungsphase | $V_{refin} + \frac{C_{in}}{C_{fb}} (v_{IN}(t_1 + NT) - V_{ref})$ |

Der Ausgang ist also nicht immer zum Eingang proportional sondern springt immer wieder auf das Niveau V_{refin} . Das ist kein Problem, wenn der getaktete Verstärker an einen anderen getakteten Verstärker angeschlossen ist, der ebenfalls eine Spannungsänderung verstärken kann.

Man kann auch an den Ausgang des Verstärker eine weitere Track and Hold Schaltung anschließen (S_{th}). Der Ausgang outsh stellt ein Sample and Hold Ausgang dar.

Fehler wegen Ladungsinjektion (optional)

Die Ladungsinjektion vom Schalter S_{fb} beeinflusst den Verstärker (Abbildung 24).

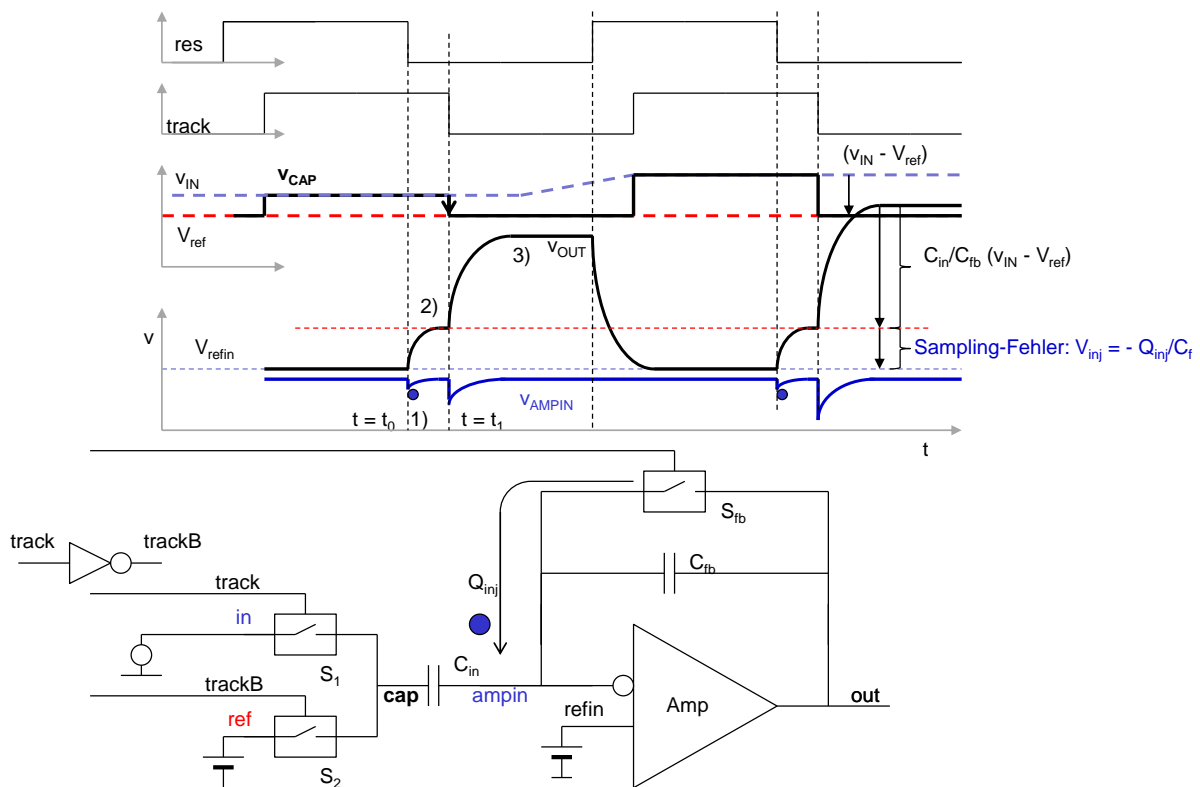


Abbildung 24: Schaltplan des getakteten Spannungsverstärkers (unten) und Zeitverlauf von wichtigen Signalen (waveforms) oben. Ladungsinjektion aus dem Schalter S_{fb} wird berücksichtigt

- 1) Wenn S_{fb} geöffnet wird fließt die Ladung Q_{inj} auf den Knoten ampin. Im Falle vom NMOS Schalter S_{fb} ist Q_{inj} negativ. Potential v_{AMPIN} sinkt.
- 2) Die Rückkopplung des Verstärkers versucht wieder $v_{AMPIN} = V_{refin}$ herzustellen. Das führt dazu, dass die Spannung am Knoten out um den Sampling-Fehler $V_{inj} = -Q_{inj}/C_f$ steigt. Dann wird wieder $v_{AMPIN} = V_{refin}$.
- 3) Die Signale sind um Wert $V_{inj} = -Q_{inj}/C_f$ höher als ohne Ladungsinjektion.

Beachten wir, dass die linke Elektrode des Schalters S_{fb} (Knoten $ampin$) konstantes (vom Signal unabhängiges) Potential hat. Deswegen ist die Menge der injizierten Ladung immer gleich um unabhängig vom Signal-Niveau. Ladungsinjektion führt also nur zu einem konstanten Offset. Sie kann mithilfe eines dummy Schalters reduziert werden.

Symmetrischer Differenzverstärker (optional)

Es ist ebenfalls möglich den getakteten Verstärker als symmetrischen Differenzverstärker (fully differential amplifier) zu realisieren.

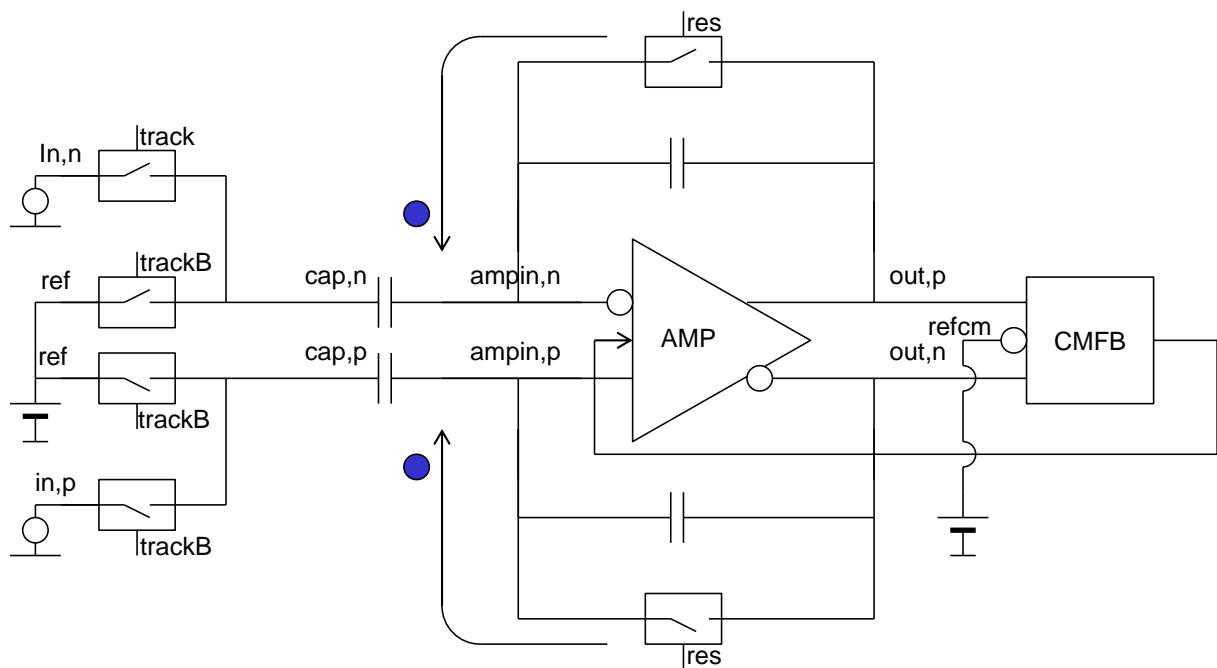


Abbildung 25: Getakteter symmetrischer Differenzverstärker

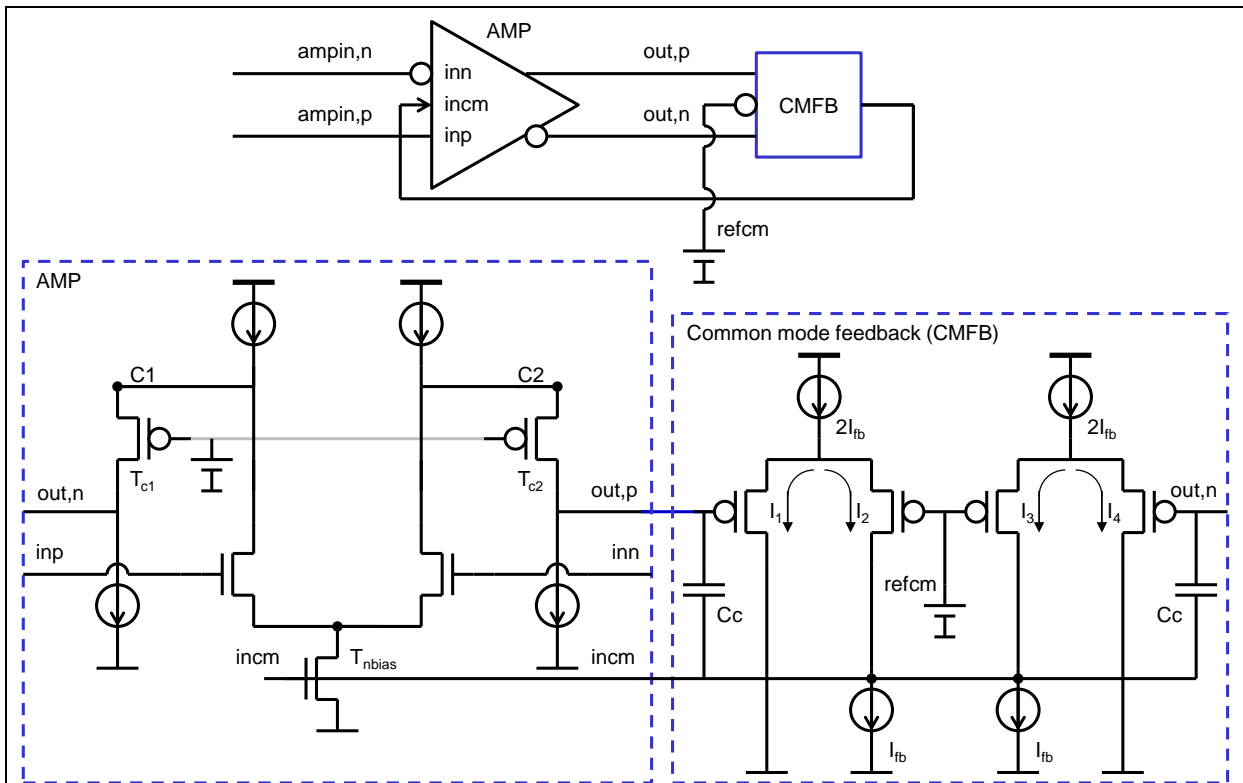


Abbildung 26: Transistor-Implementierung vom Differenzverstärker AMP und der common mode Rückkopplung (CMFB)

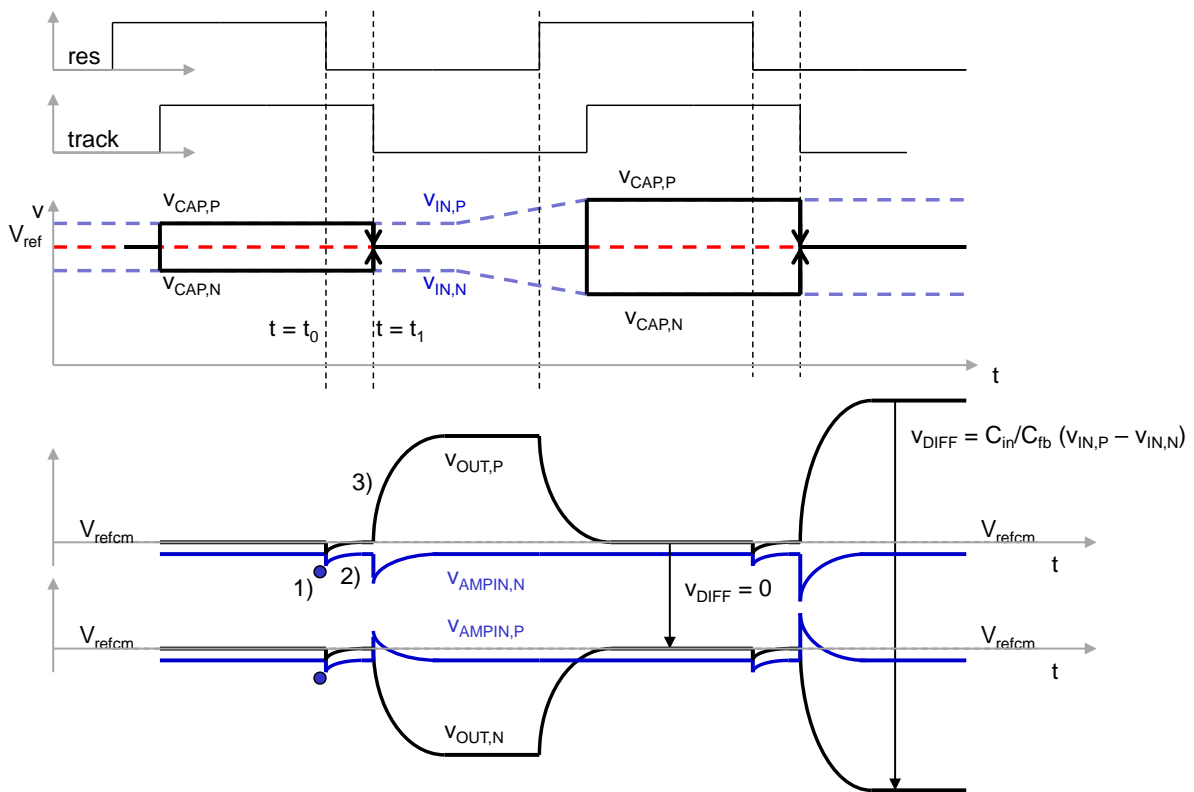


Abbildung 27: Zeitverlauf von Signalen

Abbildung 25 zeigt den Blockschaltplan. Die aktiven Komponenten, der Verstärker AMP und die common mode Rückkopplung (CMFB) können wie in Vorlesung 9 realisiert werden. Abbildung 26 zeigt eine etwas bessere Implementierung von CMFB. CMFB sorgt dafür, dass der Mittelwert von Ausgangspotentialen gleich V_{refcm} ist:

$$\frac{V_{\text{out,p}} + V_{\text{out,n}}}{2} = V_{\text{refcm}}$$

da nur in dem Fall $I_2 + I_3 = I_{\text{fb}}$ ist (Abbildung 26) und das Potential V_{incm} weder steigt noch sinkt.

Kondensatoren C_c sorgen dafür, dass für Kleinsignale:

$$\frac{v_{\text{out,p}}(t) + v_{\text{out,n}}(t)}{2} = 0$$

gilt und dass die CM Rückkopplung stabil ist.

In der Reset-Phase (Abbildung 27) sind alle Potentiale gleich V_{refcm} .

$$V_{\text{AMPIN,N}} = V_{\text{AMPIN,P}} = V_{\text{OUT,P}} = V_{\text{OUT,N}} = V_{\text{refcm}}$$

- 1) Wenn es zur Ladungsinjektion kommt, sinken $V_{\text{AMPIN,N}}$ und $V_{\text{AMPIN,P}}$ um den gleichen Beitrag (Abbildung 27 - 1). Da es sich um ein Gleichtaktsignal handelt, wird es vom Verstärker AMP *nicht* verstärkt (wegen seiner guten common mode rejection ratio CMRR).
- 2) Die Gleichtakt-Rückkopplung (CMFB) kann die Original DC-Werte schnell herstellen. Abbildung 27 - 2.
- 3) Die Signale an cap,n und cap,p sind in Gegenphase. Sie werden verstärkt, da der Verstärker eine große Differenzverstärkung hat. Mittelwert $v_{\text{OUT,P}} + v_{\text{OUT,N}}$ bleibt dabei konstant. Abbildung 27 - 3. Das Differenzsignal am Ausgang ist zum Differenzsignal am Eingang proportional: $v_{\text{OUT,P}} - v_{\text{OUT,N}} = \frac{C_{\text{in}}}{C_{\text{fb}}} (v_{\text{IN,P}} - v_{\text{IN,N}})$

Der symmetrische Differenzverstärker erlaubt sehr gutes Signal zu Rauschen Verhältnis.

Komparator

Analogkomparator ist eine sehr wichtige Schaltung. Komparator kann man als den einfachsten AD Wandler bezeichnen. Viele echte AD Wandler verwenden nur Komparatoren, Schalter und Kondensatoren als Analogkomponenten.

Komparator kann mit einem Operationsverstärker ohne Rückkopplung realisiert werden.

Der Ausgang soll für $v_{IN}(t) > V_{th} + \Delta V$ etwa dem logischen 1 Pegel und für $v_{IN}(t) < V_{th} - \Delta V$ dem logischen 0 entsprechen.

ΔV ist die erforderliche Spannung über oder unter der Schwelle, damit der Ausgang einen eindeutigen logischen Pegel nimmt.

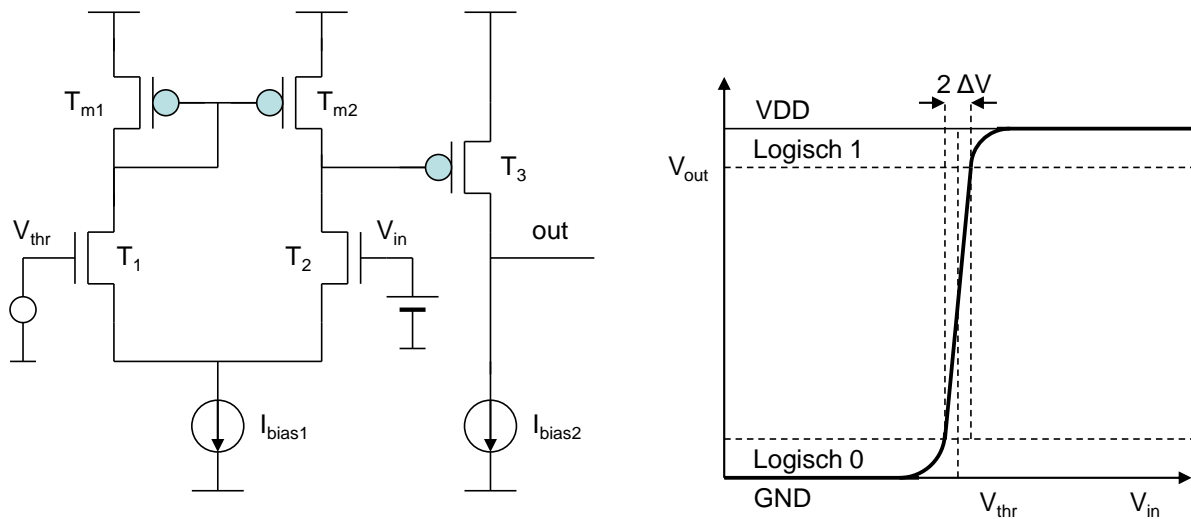


Abbildung 28: Komparator: Links Schaltplan. Rechts DC-Kennlinie.

Implementierung und DC-Kennlinie

Abbildung 28 zeigt eine übliche Implementierung des Komparators. Durch die Verwendung von zwei Stufen ist die Spannungsverstärkung groß. Die soll sicherstellen, dass die Spannung ΔV klein ist und der Ausgang schnell einen eindeutigen logischen Pegel erreicht. Abbildung 28 rechts zeigt die DC-Kennlinie des Komparators. Da der Verstärker im Abbildung 28 ohne Rückkopplung arbeitet, wird Kondensator für die Frequenzkompensation nicht gebraucht.

Wenn wir einen Komparator mithilfe vom Spannungsverstärker realisieren, nutzen wir die Nichtlinearität seiner Kennlinie. Die meiste Zeit befindet sich die Schaltung im Kennlinienbereich wo der Ausgang GND oder VDD ist. Der Verstärker hat eine ungefähr lineare Verstärkung nur für $v_{IN}(t) \in (V_{th} - \Delta V, V_{th} + \Delta V)$.

Signal-Delay

Die Kennlinie des Komparators erlaubt uns nur die Antwort der Schaltung auf langsame Signale zu bestimmen. Die Eingangssignale sind aber oft schnell und eine wichtige Eigenschaft des Komparators ist die Signallaufzeit (Englisch delay).

Die Signallaufzeit kann aus der Antwort auf Spannungsstufen am Eingang V_{in} abgelesen werden, wie Abbildung 29 zeigt. Die Verzögerung ist kleiner, wenn die Spannungsstufe größere Amplitude hat (B). Transistor T_3 ist für $V_{in} < V_{th}$ (vor der Spannungsstufe) ausgeschaltet. Normalerweise bestimmt die Einschaltzeit von T_3 die Verzögerung. Die Kapazität vom Knoten out1 muss von VDD auf einen Wert unterhalb $VDD - V_{th}$ entladen werden. (V_{th} ist Schwellenspannung des Transistors T_3 .)

Wenn das Eingangssignal knapp über der Schwelle ist und die Differenz $V_{in} - V_{thr}$ klein ist, ist auch der Ausgangsstrom der ersten Stufe I_{out1} klein. Es dauert relativ lange bis die parasitäre Kapazität von Knoten out1 entladen wird. Der Strom des Transistor T_3 kann dagegen relativ groß werden und die Kapazität vom Knoten out kann relativ schnell aufgeladen werden.

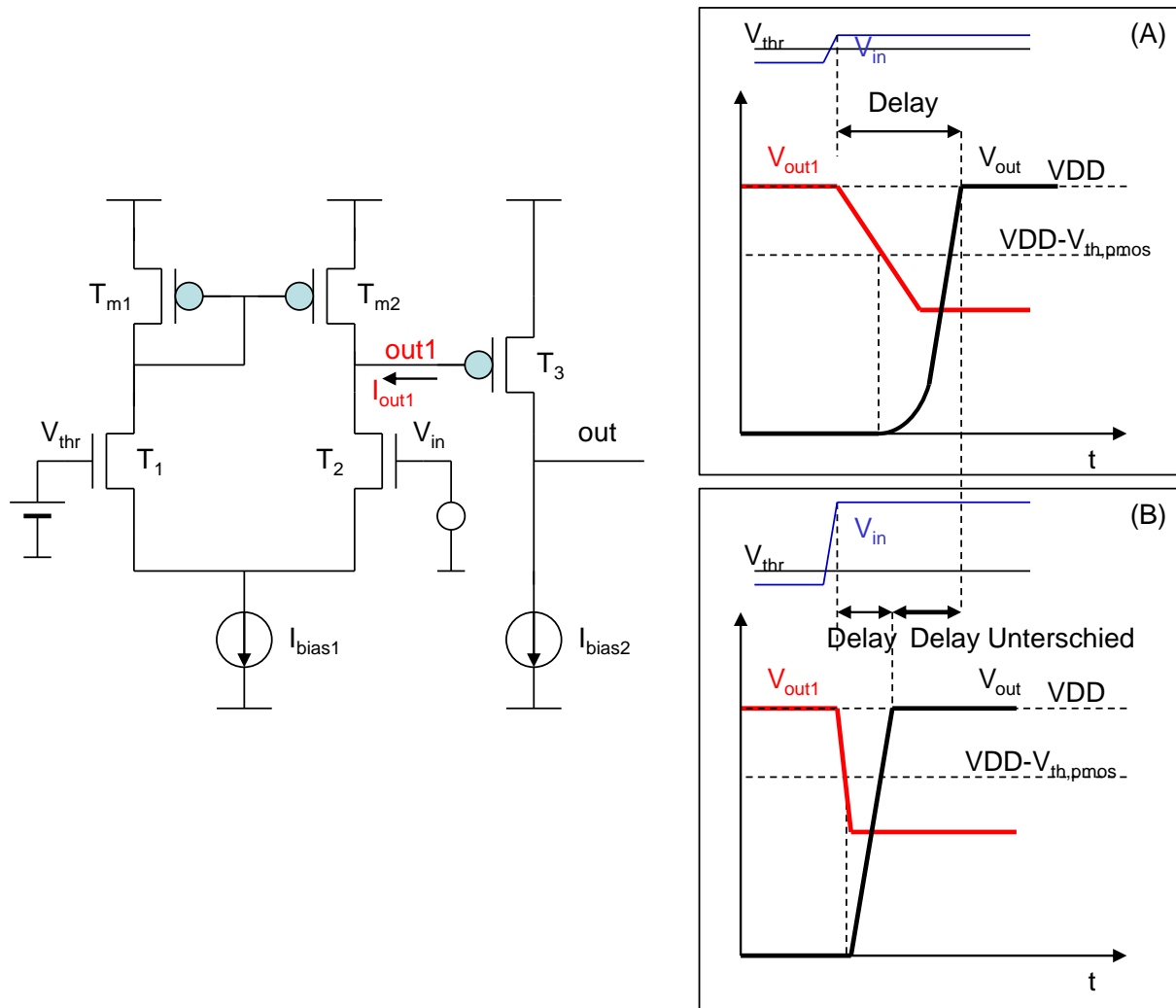


Abbildung 29: Antwort des Komparators auf zwei Spannungstufen. Fall A: Spannungstufe V_{in} hat kleine Amplitude. Fall B: Spannungstufe V_{in} hat große Amplitude.

Signalbereich am Eingang, PMOS und NMOS Implementierung, Rail to Rail Eingang

Wir müssen immer dafür sorgen, dass für $V_{in} \sim V_{th}$ der Komparator eine ausreichende Verstärkung hat (um ΔV zu minimieren) und dass die Eingangstransistoren und die Bias-Stromquelle I_{bias1} in Sättigung arbeiten. Ein Komparator basierend auf dem Differenzpaar aus NMOS Transistoren (Abbildung 30 links) ist für höhere V_{th} geeignet, ein Komparator mit dem PMOS Differenzpaar (Abbildung 30 rechts) für niedrigere V_{th} .

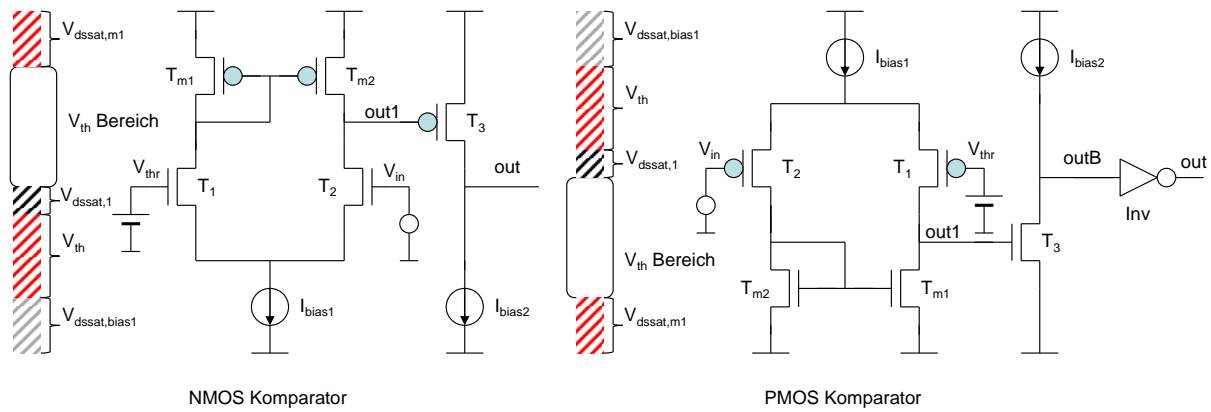


Abbildung 30: V_{th} muss im richtigen Spannungsbereich sein damit die Transistoren in Sättigung arbeiten wenn $V_{in} \sim V_{th}$.

Abbildung 30 zeigt erlaubten V_{th} Spannungsbereich. Wenn V_{th} in diesem Bereich liegt, befinden sich die Transistoren T_1 und I_{bias1} in Sättigung. Beachten wir dass der „PMOS-Komparator“ (Abbildung 30 rechts) einen logisch 0 Pegel am Ausgang outB hat, wenn $V_{in} > V_{th}$ ist. Deswegen wird ein CMOS Inverter Inv benutzt um das Signal zu negieren. Beachten wir auch, dass in beiden Komparatoren T_3 ausgeschaltet ist, wenn $V_{in} < V_{th}$ ist. Es ist möglich V_{in} und V_{th} zu vertauschen so dass T_3 für $V_{in} < V_{th}$ eingeschaltet ist. Beide Varianten haben verschiedene Signallaufzeiten und verschiedene Polaritäten am Ausgang. Transistor T_3 kann schneller Kapazitäten aufladen als die Stromquelle I_{bias2} , da I_{bias2} Strom limitiert ist.

Normalerweise ist V_{th} festgelegt und wir können entweder den PMOS oder den NMOS Komparator benutzen.

Wenn der Komparator in einem möglichst großen V_{th} Bereich arbeiten soll, verwendet man den Komparator mit rail to rail Eingang wie in Abbildung 31.

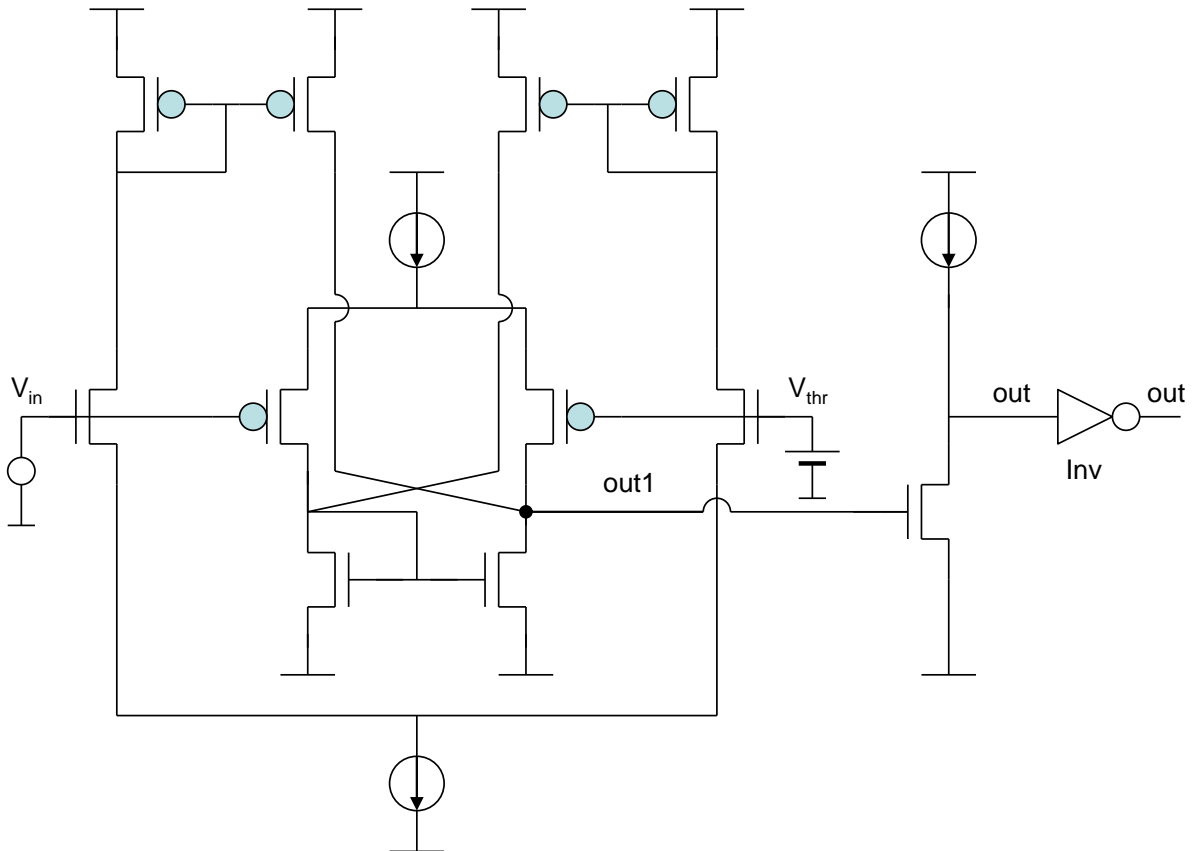


Abbildung 31: Komparator mit dem rail to rail Eingang

Der rail to rail Komparator (Abbildung 31) hat etwas längere Signallaufzeit als die einfachen NMOS und PMOS Komparatoren weil die Kapazität am Knoten out1 größer ist.

Offset

Wenn die Eingangstransistoren T_1 und T_2 und die Transistoren im Stromspiegel T_{m1} und T_{m2} ungleiche Schwellen oder Transkonduktanzen haben, kommt es zu einem Offset in der Kennlinie (Abbildung 32). Die Ursache für Ungleiche Schwellen kann:

- 1) statistischer Natur sein, z.B. die Variation von Oxiddicke, Dotierung, W und L .
- 2) Folge einer Asymmetrie sein – z.B. wenn ein Transistor andere Orientierung als der andere hat.

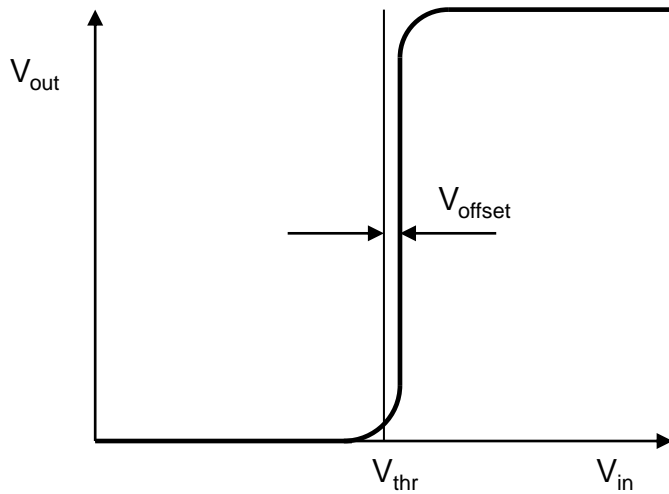


Abbildung 32: Offset

Unterschiedliche Drain-Spannungen von Eingangstransistoren führen ebenfalls zum Offset.

Eine Offsetspannung V_{offset} kann mit einer Spannungsquelle am Eingang des Komparators modelliert werden, wie in Abbildung 33 (unten) zu sehen ist. Dadurch wird die Schwellenspannung verändert was zu einem falschen Ergebnis am Ausgang des Komparators führt.

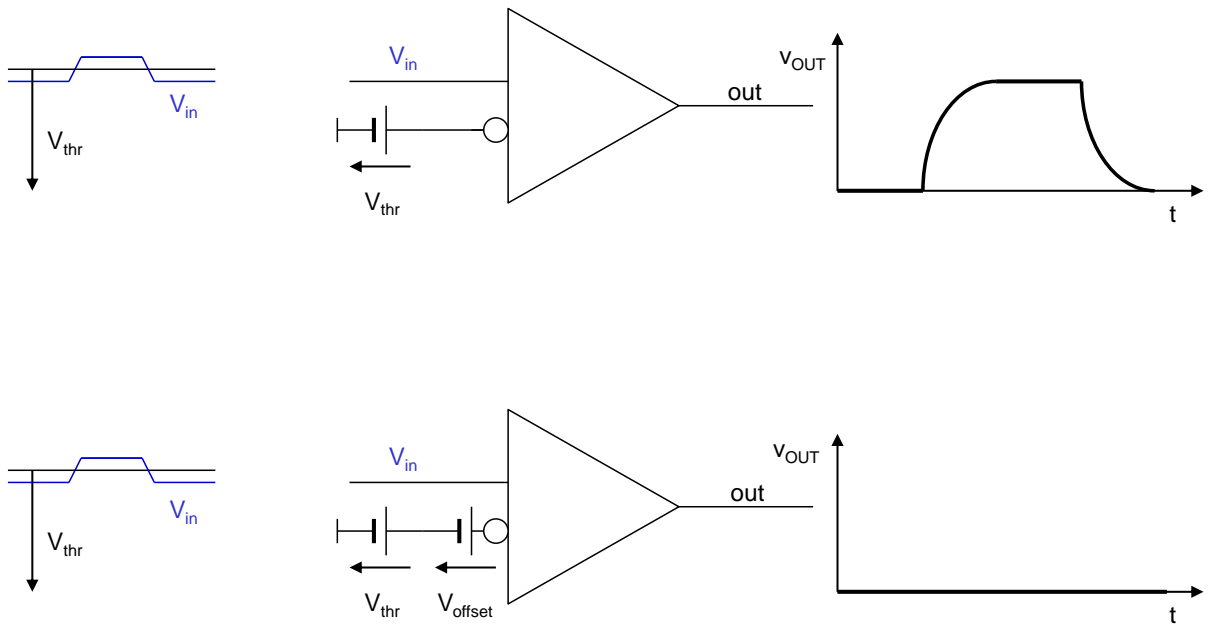


Abbildung 33: Oben – idealer Komparator. Unten – Komparator mit Offset.

Zusätzliches Thema (optional)

Offsetkompensation mit einem getakteten Komparator

Komparatoren können ebenfalls als getaktete Verstärker implementiert werden.

Abbildung 34 zeigt den getakteten Komparator in vier Takt-Phasen.

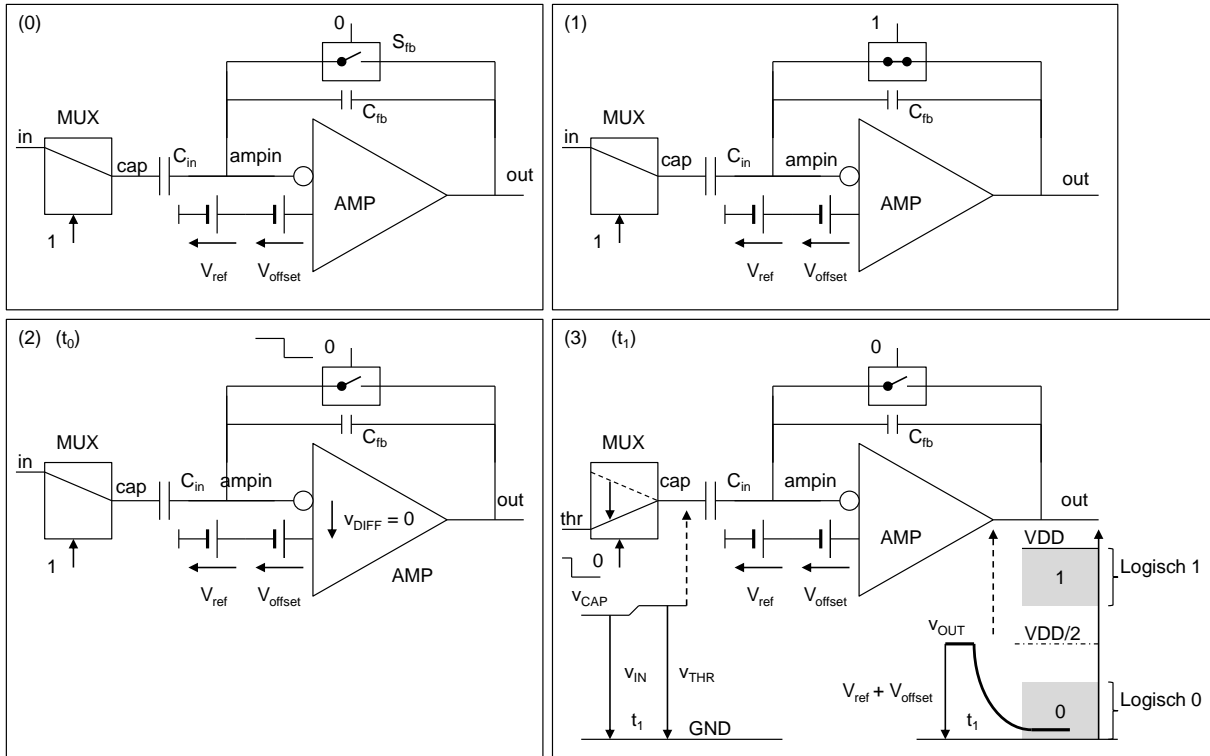


Abbildung 34: Getakteter Komparator mit Offsetkompensation

Die Schaltung hat ähnliche Struktur wie der getaktete Spannungsverstärker, mit dem Unterschied dass C_{fb} sehr klein ist.

Im reset-Zustand (Abbildung 34 (1)) ist der Schalter S_{fb} geschlossen und die Rückkopplung führt zu:

$$v_{AMPIN} = v_{OUT} = V_{ampin,dc}$$

Die Eingangsspannung kann aus der DC-Kennlinie des Komparators (Abbildung 32) graphisch bestimmt werden:

$$V_{ampin,dc} = V_{ref} + V_{offset}$$

Nach dem Öffnen vom S_{fb} ($t = t_0$) (Abbildung 34 (2)) bleiben die Potentiale v_{AMPIN} und v_{OUT} unverändert.

$$v_{OUT}(t_0) = V_{ref} + V_{offset} \quad (20)$$

Beachten wir, dass die Spannung zwischen zwei Eingängen vom Differenzverstärker AMP null ist, obwohl es ein Offset gibt. Aus diesem Grund wird dieser Komparator auch Komparator mit auto-zero Möglichkeit genannt.

Wie im Falle vom Spannungsverstärker, erzeugt das Analogmultiplexer MUX eine Spannungsstufe am Knoten cap. Potential v_{CAP} ändert sich von $v_{IN}(t_1)$ auf V_{thr} , wenn, im $t = t_1$, track von 1 auf 0 geht (Abbildung 34 (3)).

Der Ausgang des Verstärkers ändert sich vom Wert:

$$v_{OUT}(t_0) = V_{ref} + V_{offset}$$

bis

$$v_{OUT}(t_1 + \Delta t) = V_{out,dc} + \frac{C_{in}}{C_{fb}} (v_{IN}(t_1) - V_{thr})$$

In unserem Beispiel (Abbildung 34) haben wir angenommen, dass $v_{IN}(t_1)$ ein Bisschen unter der Schwelle V_{thr} liegt. In dem Fall sollte die Ausgangsspannung:

$$v_{OUT}(t_1 + \Delta t) = V_{ref} + V_{offset} + \frac{C_{in}}{C_{fb}} (v_{IN}(t_1) - V_{thr}) \quad (21)$$

von den nachfolgenden CMOS Schaltungen (z.B. einem CMOS Inverter) als logisch 0 verstanden werden.

Wenn die Verstärkung $A = C_{in}/C_{fb}$ groß ist, beeinflusst die Offsetspannung V_{offset} das Ergebnis wenig. Die Schaltung verstärkt das Signal $(v_{IN}(t_1) - V_{thr})$ mit dem Faktor A. Der Fehler V_{offset} wird nicht verstärkt.

Einfluss von Ladungsinjektion

Die Ladungsinjektion vom Schalter S_{fb} kann das Ergebnis beeinflussen. Abbildung 35 zeigt das.

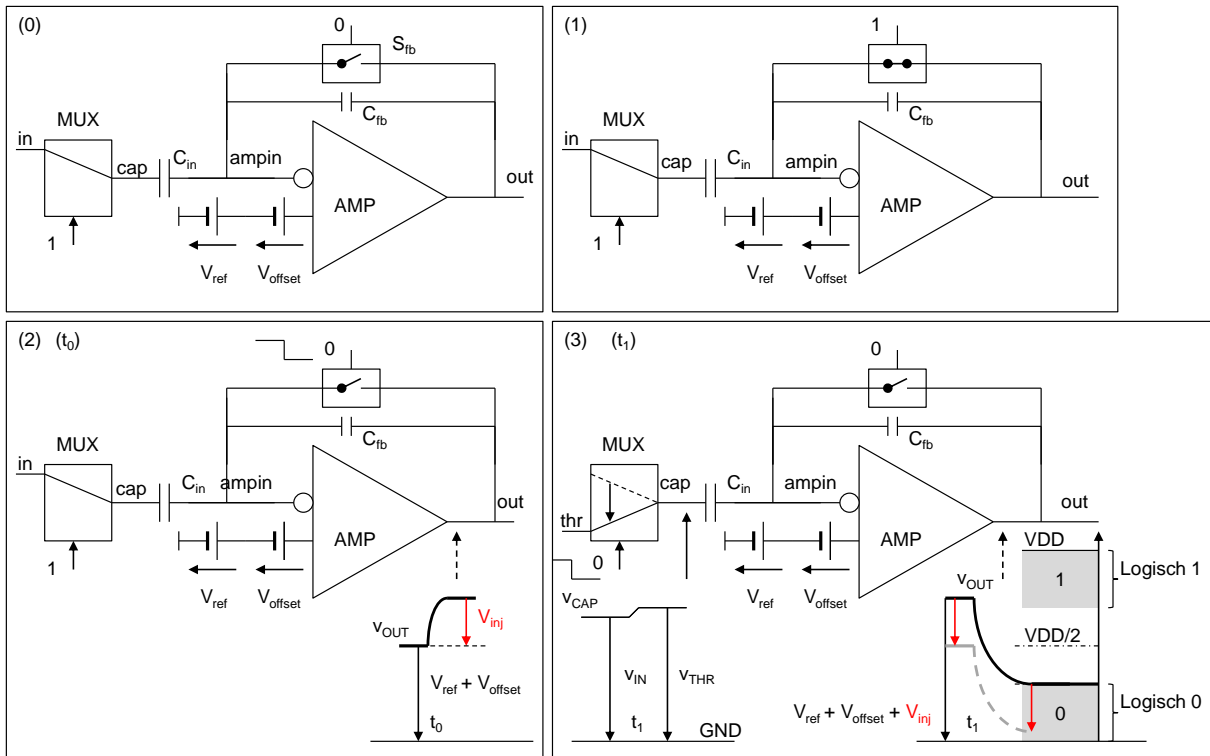


Abbildung 35: Getakteter Komparator – Einfluss von Ladungsinjektion

Wegen der Ladungsinjektion, steigt nach dem Öffnen von S_{fb} ($t = t_0$) (Abbildung 35 (2)) v_{OUT} auf

$$v_{OUT}(t_0 + \Delta t) = V_{ref} + V_{offset} - \frac{Q_{inj}}{C_{fb}} = V_{ref} + V_{offset} + V_{inj} \quad (22)$$

Falls ein NMOS Schalter verwendet wird, ist Q_{inj} negativ und V_{inj} positiv. Das Potential v_{OUT} ist also um V_{inj} höher als ohne Ladungsinjektion (20).

Nach dem Umschalten von track von 1 auf 0 ($t = t_1$) (Abbildung 35 (3)) wird die Ausgangsspannung:

$$v_{OUT}(t_1 + \Delta t) = v_{OUT}(t_0 + \Delta t) + \frac{C_{in}}{C_{fb}} (v_{IN}(t_1) - V_{thr}) = V_{ref} + V_{offset} + V_{inj} + \frac{C_{in}}{C_{fb}} (v_{IN}(t_1) - V_{th}) \quad (23)$$

Auch dieses Potential ist um V_{inj} höher als ohne Ladungsinjektion (21).

Es könnte also passieren, dass der Ausgang nicht mehr im logisch 0 Bereich liegt. Ladungsinjektion kann man mit einem dummy Schalter reduzieren. Eine alternative Lösung ist im nächsten Absatz beschrieben.

Kompensation von Ladungsinjektion mit zusätzlichem Verstärker

Man kann mit einem weiteren getakteten Verstärker AMP2 in Abbildung 36 den Einfluss von Ladungsinjektion verringern.

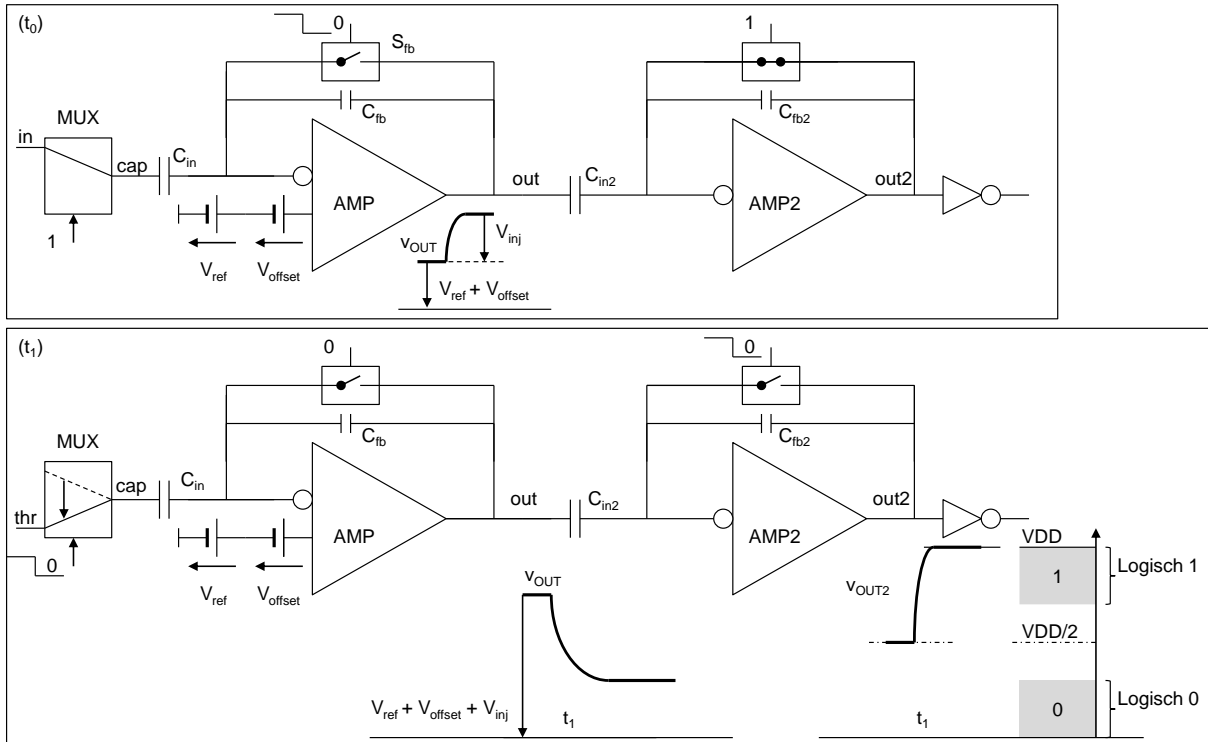


Abbildung 36: Kompensation von Ladungsinjektion

Der Verstärker AMP2 verstärkt die Potentialdifferenz:

$$v_{OUT,DIFF} \equiv v_{OUT}(t_1 + \Delta t) - v_{OUT}(t_0 + \Delta t) = \frac{C_{in}}{C_{fb}} (v_{IN}(t_1) - V_{thr})$$

Deswegen spielt V_{inj} im ersten Verstärker keine Rolle.

Wegen zusätzlicher Verstärkung des zweiten Verstärkers C_{in2}/C_{fb2} erreicht out2 ein klares logisches Niveau auch im Falle einer Ladungsinjektion im zweiten Verstärker.

Das Prinzip ist es auch hier, das Signal C_{in}/C_{fb} ($V_{IN} - V_{thr}$) mit dem AMP2 zu verstärken und die Fehler des ersten Verstärkers (V_{offset} , V_{inj}) nicht zu verstärken.