

Vorlesung 1 - Einführung

Ivan Peric

Unsere Gruppe, das ASIC und Detektor Labor (KIT-ADL) <https://adl.ipe.kit.edu/english/>, entwickelt die Mikrochips für wissenschaftliche und medizinische Anwendungen, zum Beispiel für Detektoren an den Teilchenbeschleunigern, und für 3D Ultraschalltomographie oder Ionen-Therapie.

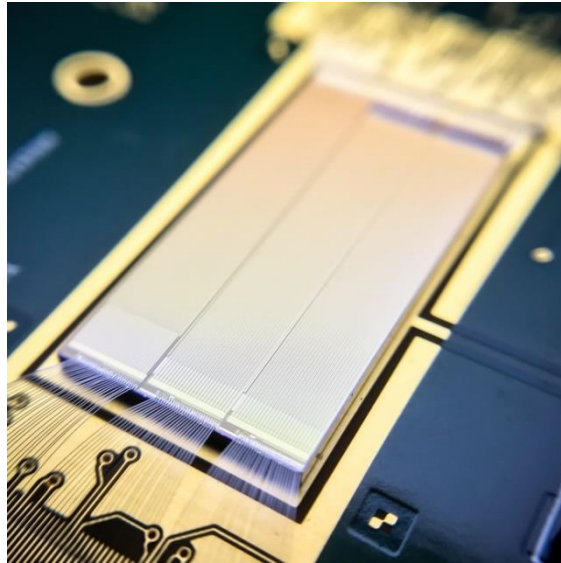


Abbildung 1: CMOS Pixel-Sensor entwickelt am KIT-ADL

Design analoger Schaltkreise

Das Thema dieser Vorlesungen ist das Design von integrierten analogen Schaltungen in CMOS Technologie.

Der Kurs umfasst *Vorlesungen* und *Übungen*. Als **Übungen** werden wir die Chipdesign Software benutzen um Schaltungen zu entwerfen. Wir fangen mit den einfachen Schaltungen an, die dann kombiniert und erweitert werden. Am Ende wird ein Analog-Digital-Wandler nach dem Stand der Technik entworfen.

In den **Vorlesungen** werden die theoretischen Kenntnisse vermittelt: CMOS Halbleitertechnologie und Transistoren, Analyse von Schaltungen mit Rückkopplung. CMOS Verstärker: beginnend von einfacheren Schaltungen wie der Common-Source-Verstärker bis hin zu mehrstufigen, differenziellen und getakteten Verstärkern. Entstehen von Rauschen und die Rauschquellen in integrierten Schaltungen. Layout-Entwurf und Layout-Effekte. Analog-Digital-Wandler.

Abbildung 2: Zeichnung aus dem CMOS-Patent von F. N. Wanlass

CMOS Technik ist besonders für digitale Schaltungen geeignet: CMOS Bauteile basierend auf Feldeffekt Transistoren (FETs) sind stromsparend und klein.

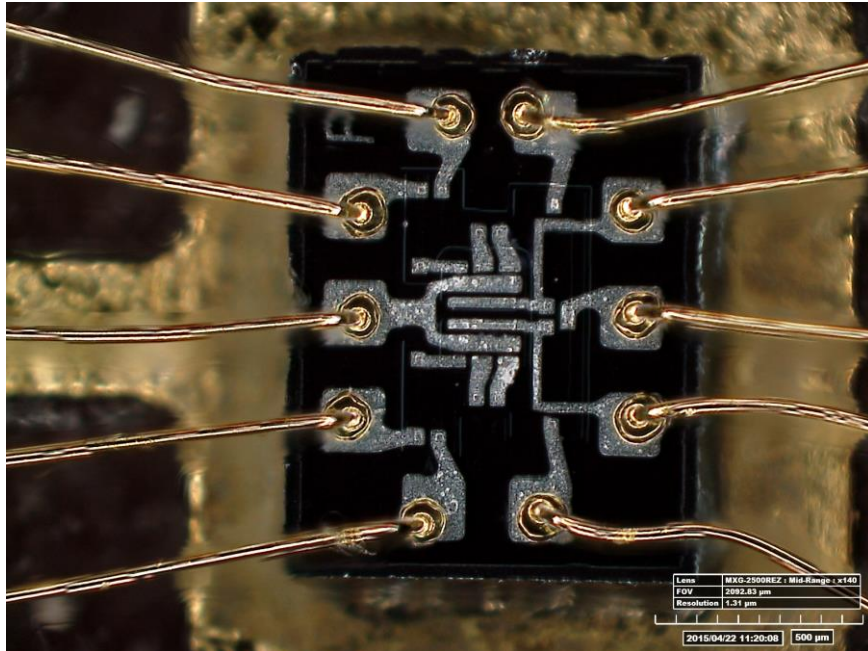


Abbildung 3: Eine der ersten integrierten Schaltungen.

<https://airandspace.si.edu/stories/editorial/apollo-guidance-computer-and-first-silicon-chips>

Digitale Schaltungen benötigen auch analoge Komponenten als Schnittstelle mit Außenwelt: Sensorverstärker, Analog-Digital und Digital-Analog Wandler, Signaltreiber. Analoge Schaltungen kann man auch mithilfe von diskreten Bauteilen realisieren. Es ist oft vom Vorteil wenn sich digitale und analoge Komponenten auf demselben Chip befinden. So entstehen sogenannte System-on-Chips.

Chip-Herstellung

Da wir uns in diesem Kurs mit integrierten Schaltungen beschäftigen werde ich kurz auf die Herstellung von diesen Schaltungen eingehen.

Mikrochips werden auf den Siliziumscheiben – Wafers – produziert in einem Verfahren das dem Drucken von Bildern (z.B. Lithographie) ähnelt.

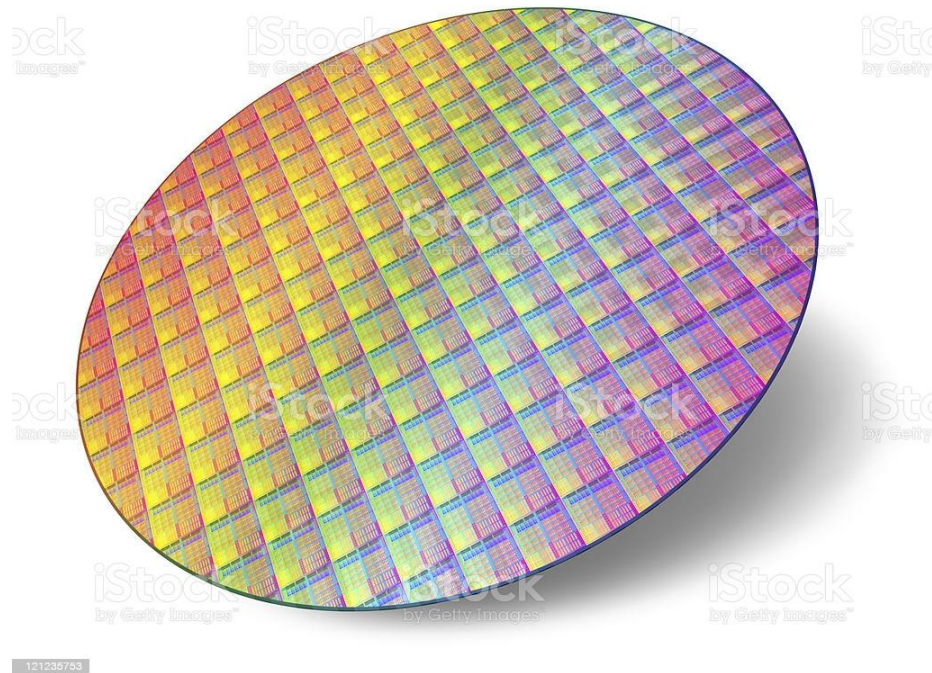


Abbildung 4: Wafer mit Recticles

Die Wafer haben typischerweise ein Durchmesser von 200 mm oder 300 mm.

Die Lagen des Chips: 1. Siliziumbereiche (Mono- und Polykristall), 2. Isolatoren (SiO₂, und andere Materialien), 3. Durchkontaktierungen (Tungsten, Al), 4. Metall-Verbindungen (Al und Cu) werden mithilfe von Prozessen wie Epitaxie, chemische Deposition (Abscheidung) und Oxidation erzeugt.

Die Lagen werden durch Ätzen (nasschemisch, Plasma- und Ionenätzen) strukturiert. Fotolack wird verwendet um die Bereiche die nicht geätzt werden sollen zu schützen - Lithographie.

Fotolack wird mit UV Licht strukturiert (belichtet und dann entwickelt), die Schablone für diese Strukturierung nennen wir Maske.

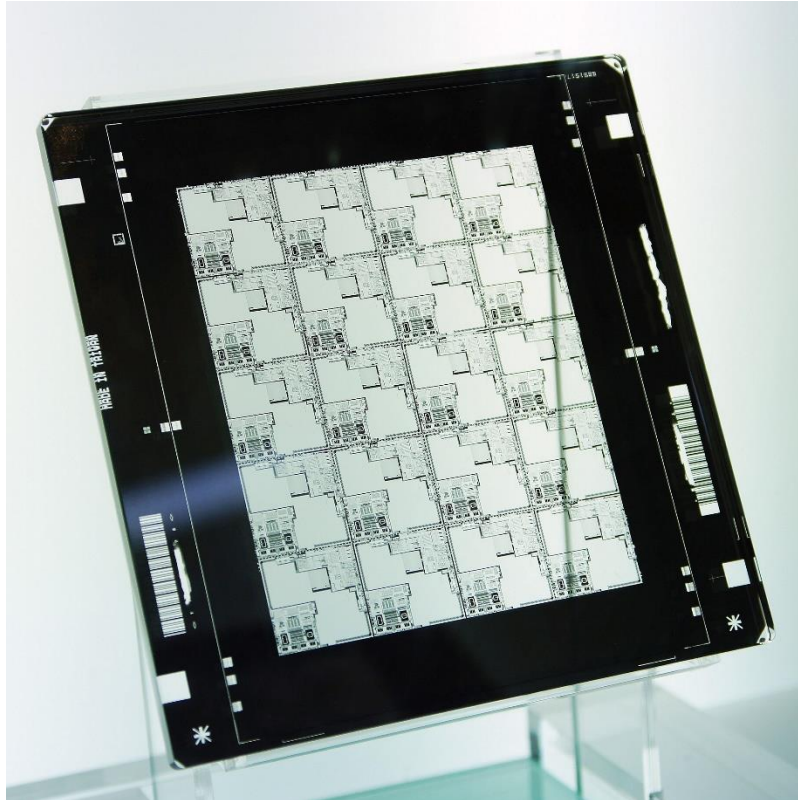


Abbildung 5: Maske für Fotolithographie.

<https://en.wikipedia.org/wiki/Photomask>

Silizium-Bereiche werden per Diffusion oder Ionenimplantation dotiert. Auch hier werden Schablonen verwendet die mit dem Fotolack strukturiert werden.

Die Herstellung eines Wafers benötigt etwa 400 Einzelschritte und mindestens 30 Masken.

Die Masken werden mithilfe von Projektoren (Stepper) mit z.B. 4x Verkleinerung auf Silizium projiziert. Ein bekannter Hersteller von Geräten für Lithographie ist ASML (Niederlande).



Abbildung 6: Stepper (Projektor) <https://www.asml.com/en/products/duv-lithography-systems/twinscan-nxt2000i>

Die Größe der Abbildung ist auf etwa 2.5 cm x 2.5 cm beschränkt. Es ist auch die maximale Größe eines Chips. Wir nennen die Abbildung der Maske reticle. Auf einem Wafer wird die Maske mit einem festen Versatz mehrmals projiziert, also wir haben mehrere identische Reticles.

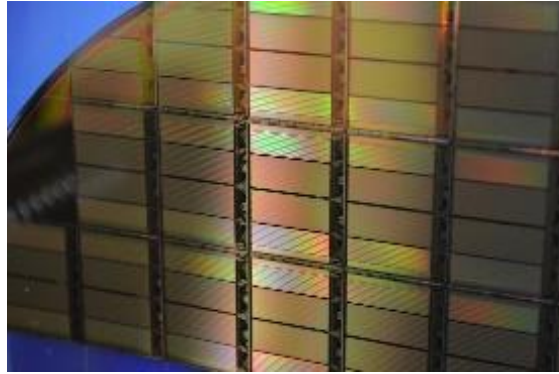


Abbildung 7: CMOS Wafer (KIT-ADL)

Im Reticle sind oft mehrere Chips gesammelt.

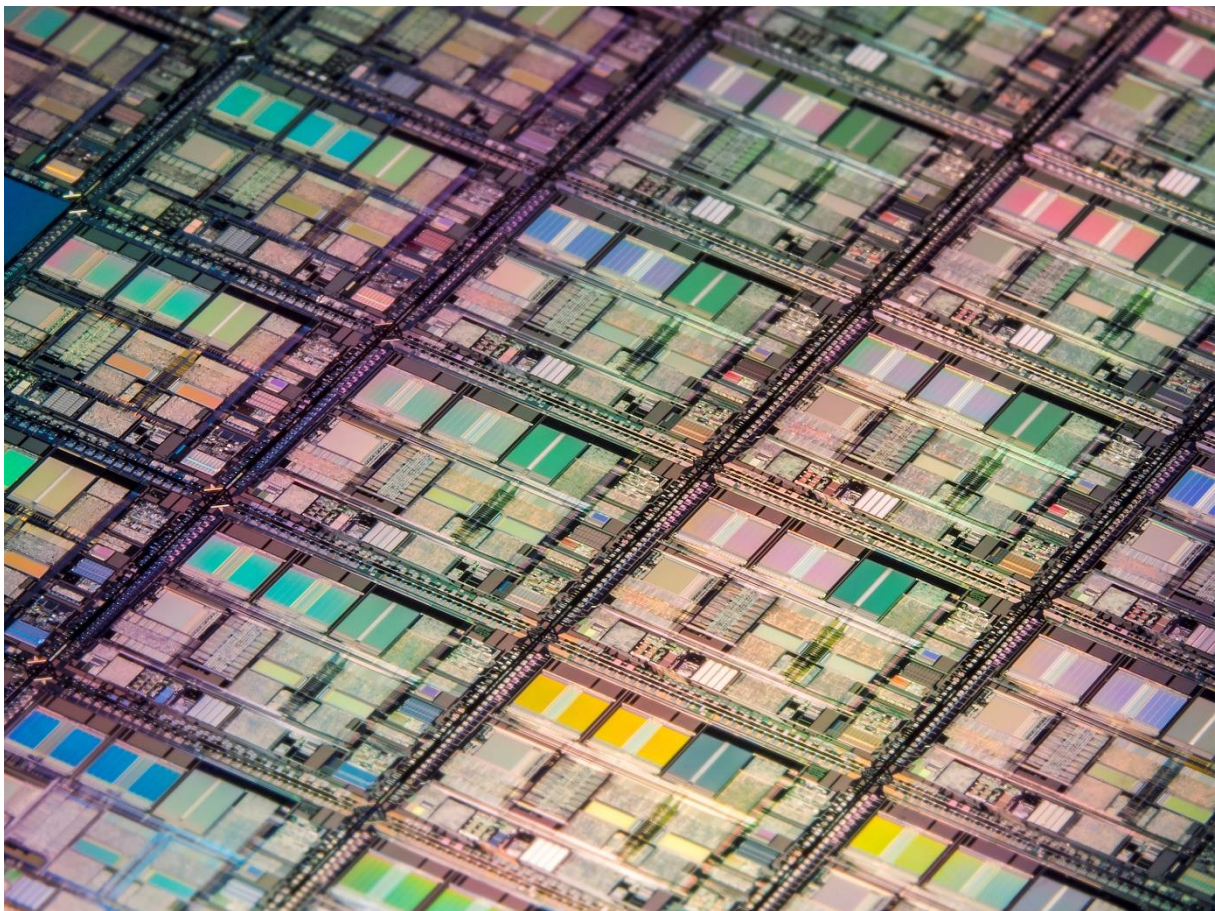


Abbildung 8: Reticles mit Chips. <https://www.renishaw.com/en/advanced-position-encoders-in-photolithography--42654>

Literatur

[https://de.wikipedia.org/wiki/Stepper_\(Halbleitertechnik\)](https://de.wikipedia.org/wiki/Stepper_(Halbleitertechnik))

<https://www.halbleiter.org/chipfertigung/>

Die technischen Zeichnungen von Maskenlagen nennen wir das Layout.

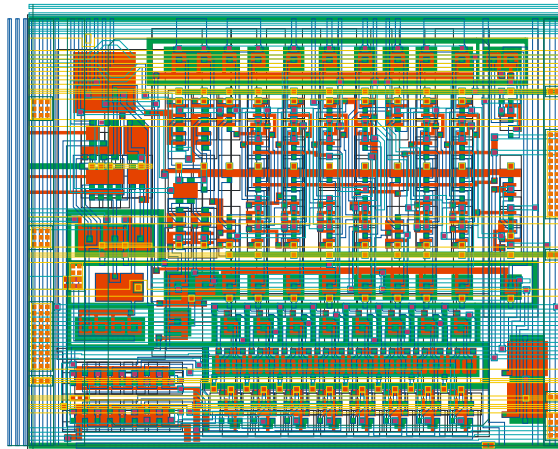


Abbildung 9: Layout

Chipdesign

Chipentwurf (Chipdesign) ist ein Prozess, der mit Spezifizierung eines elektronischen Geräts anfängt und mit der Erstellung des Layouts endet. Die Chips werden danach von einem Chiphersteller (Foundry) gefertigt. Anschließend werden die Chips in ein System integriert (Chip-Packaging), charakterisiert und gegebenenfalls wird eine neue Version entworfen.

Erstellung eines Systemkonzepts und der Spezifikationen für die Komponenten sind wichtige Vorbereitungsaufgaben: Es ist gut „auf Papier“ eine schaltungstechnische Realisierung zu skizzieren und wichtige Größen approximativ zu berechnen. Deshalb werden wir in diesem Kurs verschiedene Methoden für die Schaltungsanalyse ohne Software erklären.

Software-Tool

Analoges Chipdesign macht man mit einer CAD Software. Wir verwenden in diesem Kurs das Programmpaket Cadence (<https://www.cadence.com>). Cadence enthält viele Programmtools.

Schaltungs- und Layout-Editor (Virtuoso)

(Das Layout ist die technische Zeichnung von allen Maskenlagen.)

Simulator (INCISIV und MMSIM)

Verifikation des Layouts (Assura)

Layout versus Schematics (Assura LVS) und Design Rule Check (Assura DRC)

Wir brauchen auch die Daten wie die Transistormodelle, fertige Designblöcke oder LVS- und DRC-Regel. Diese Daten werden als Design-Kit bereitgestellt.

Cadence für ist Lizenzpflichtig. Wenn die Projekte kommerziell sind, sind die Lizenzgebühren hoher. Universitäten bezahlen weniger, wenn Cadence für Lehre oder Forschungsprojekte verwendet wird.

Chiphersteller und Technologie-Prozesse

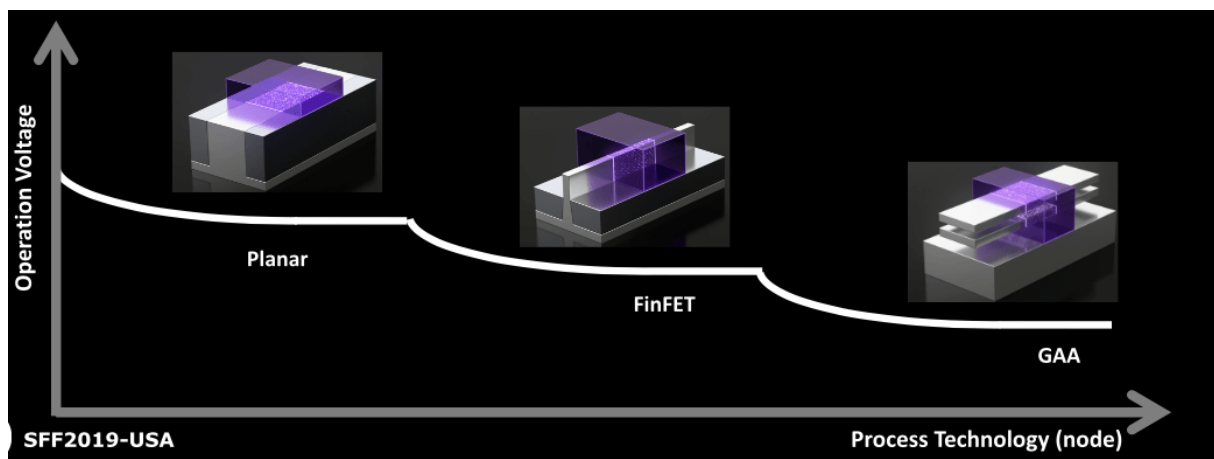
Wichtig ist es auch einen richtigen (Technologie-)Prozess, bzw. einen Chiphersteller für ein Chipdesign-Projekt zu wählen.

Die bekanntesten Foundries sind: TSMC, UMC, Globalfoundries. In Deutschland sind es: X-Fab, Lfoundry. Unsere Gruppe arbeitet noch mit AMS, TSI-semiconductors und IHP zusammen.

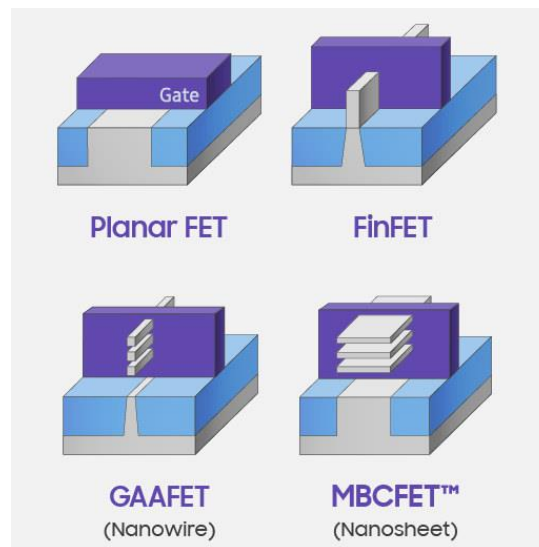
Jeder Hersteller bietet oft mehrere Prozesse. Das kann z.B. ein CMOS Prozess sein, mit extra Bauteilen fürs Analogdesign oder für optische Sensoren, es kann auch ein spannungsfester Hochvolt-CMOS (HVCMOS) Prozess sein, ein SOI- oder ein BiCMOS Prozess.

Die neuesten sind FinFET, Fully Depleted SOI oder nanowire Gate all around-Prozesse. Alle Prozesse werden auch nach Strukturgröße in Prozessknoten klassifiziert z.B. 0.35 μm , 0.18 μm , 0.13 μm , 0.11 μm , 90, 65, 55, 40, 28, 22, 16, 12, 7, 6, 5nm Prozesse.

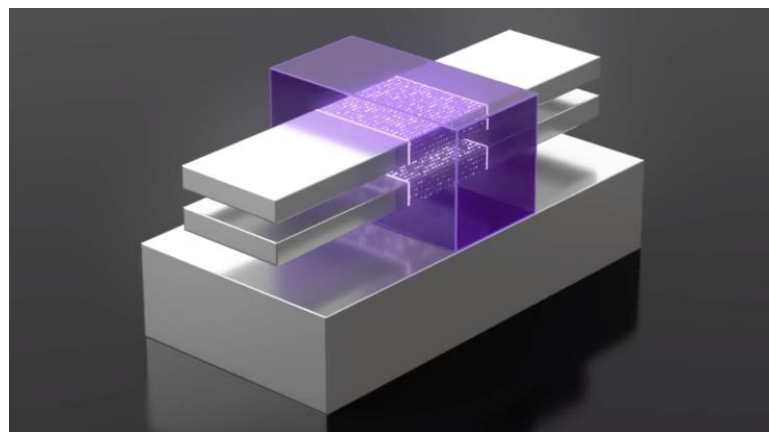
<https://de.wikipedia.org/wiki/Technologieknotten>



<https://semiengineering.com/5nm-vs-3nm/>



<https://www.cnx-software.com/2019/05/17/mbcfet-process-technology-3nm-processors/>



<https://wccftch.com/samsung-announces-3nm-mbcfet-process-5nm-production-in-2020/>

Abbildung 10: Verschiedene Transistorarten

Kleinere Prozesse sind moderner, teurer, und Analogdesign ist schwieriger.

Ich werde hier englische Namen erwähnen: Diese Chiphersteller nennt man Foundries oder Vendors (Anbieter).

Europractice

Manche Foundries arbeiten nur mit größeren Kunden direkt. Es gibt Organisationen die zwischen kleineren Kunden und Foundries vermitteln – eine ist Europractice.

<https://europractice-ic.com/>

Europractice vertritt eine Reihe von Herstellern und bietet Support an. KIT ist Europractice Mitglied.

Bei kleineren Stückzahlen und kleineren Chips ist es nicht sinnvoll den ganzen Maskensatz herstellen zu lassen und eine Wafer-Produktion zu finanzieren. In einem 180 nm Prozess ist der Preis eines solchen „engineering runs“ mindestens 100 k€. Für ein 65nm Prozess ist es etwa 1 Million Euro.

Europractice bietet Multiprojekt Wafer (MPW) runs an.

<https://europractice-ic.com/mpw-prototyping/general/mpw-minisic/>

Hier teilen sich viele Kunden die Reticle-Fläche. Ein Kunde bekommt dann etwa 40-100 Chips zum Preis ab etwa 1 k€/mm² Fläche (Beispiel 180 nm Technologie). Wir bestellen unsere oft als innerhalb von MPW-runs.

Design-Kit

Nachdem wir einen Prozess gewählt haben, müssen wir die Simulationsmodelle und die Layout-Regeln besorgen und in die Chipdesign Software importieren. Transistoren sind in jedem Prozess anders und die Transistormodelle kompliziert. Beispiel eines MOSFET Modells ist [BSIM](#).

Wir brauchen spezielle Bibliotheken, die man dann in die Chipdesign-Software z.B. Cadence einbindet.

Solche Bibliothek mit Technologiedateien nennt man process design kit - PDK.

Design-Flow

Die Reihenfolge von Designschritten, der Design-Flow wird im Chipdesign präzise definiert.

Wir unterscheiden zwischen dem analogen und digitalen Design-Flow.

Die Designschritte werden in Abbildung dargestellt. Wir werden sie hier detaillierter beschreiben.

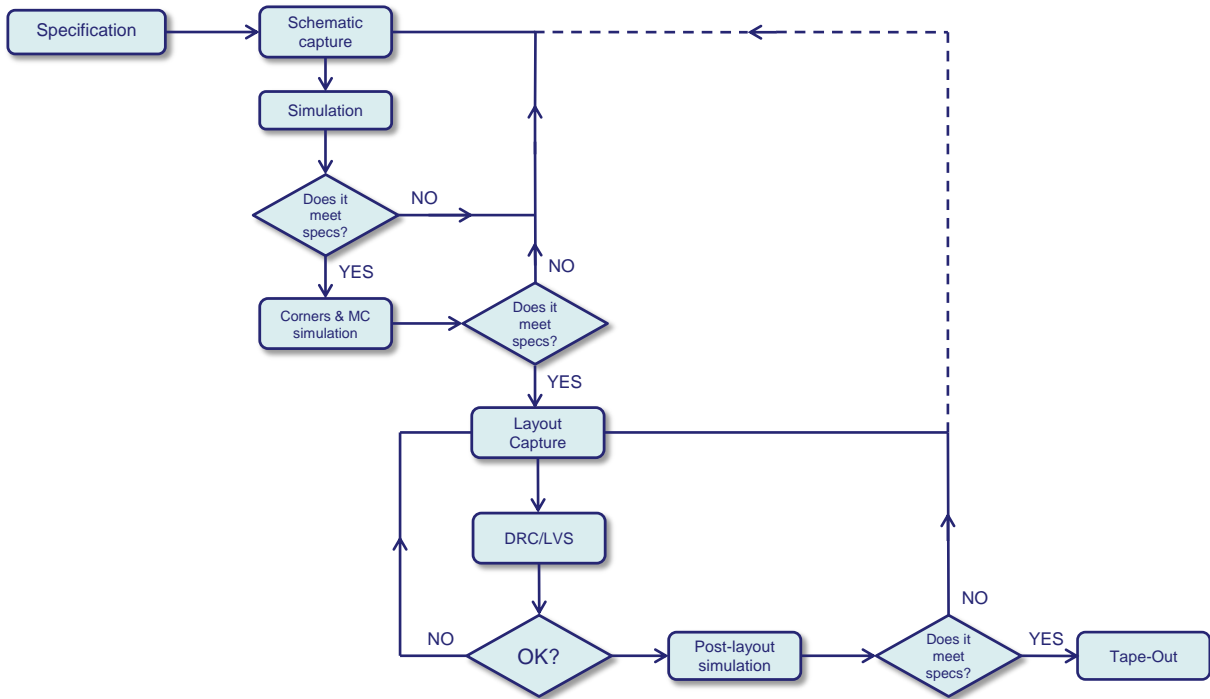


Abbildung 11: Design-Flow für analoge Schaltungen

Schaltplan

Im analogen Design Flow ist der erste Schritt die Erstellung des Schaltplans. Der Schaltplan wird mithilfe des Schaltplan-Editors gezeichnet. Das Grundbauteil ist Transistor.

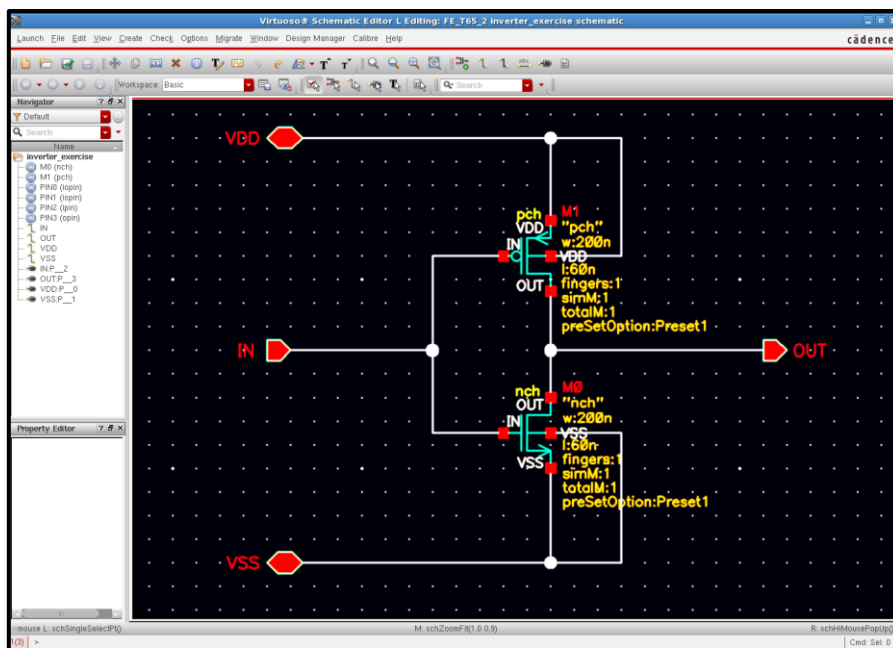


Abbildung 12: Schaltplan-Editor

Wir verwenden auch Kondensatoren, Widerstände und Dioden, die ebenfalls auf einem Chip implementiert werden können. Da die Schalpläne von integrierten Schaltungen kompliziert sind, ist es gut eine modulare Struktur aufzubauen. Cadence unterstützt das. Aus jedem Schaltplan kann man ein Symbol generieren. Das ermöglicht die Verwendung dieser Schaltung in anderen Schaltplänen. Um ein Symbol zu generieren müssen Eingänge und Ausgänge definiert werden.

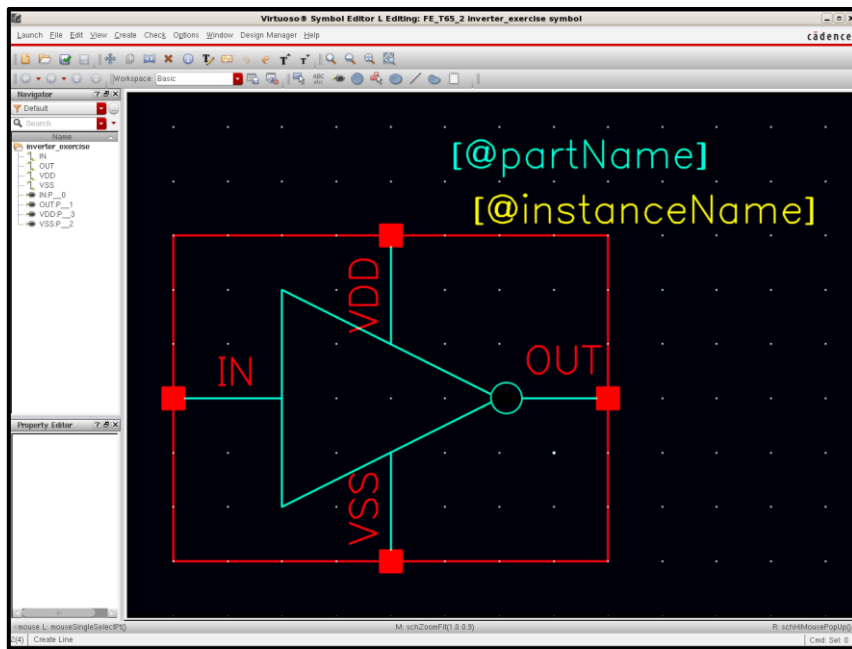


Abbildung 13: Symbol

Ein Symbol hat die gleichen Ein/Ausgänge wie sein Schaltplan.

Simulation

Die Schaltung kann simuliert werden. Mehr dazu lernen wir in den Übungen. Es gibt verschiedene Simulationstools – für analoge-, mixed mode- oder digitale Simulation. Die analogen Simulatoren können DC, AC oder Großsignalanalyse im Zeitdomain (Transiente Simulation) machen.

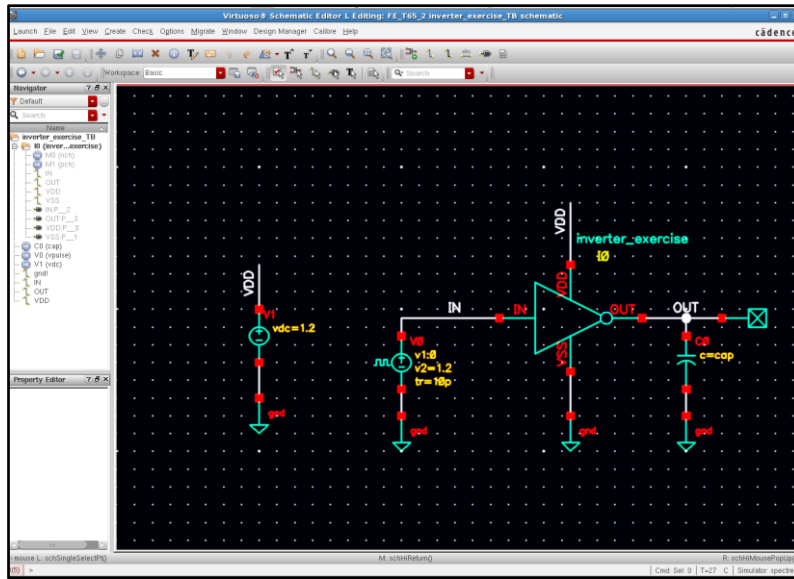


Abbildung 14: Test-bench für analoge Simulation

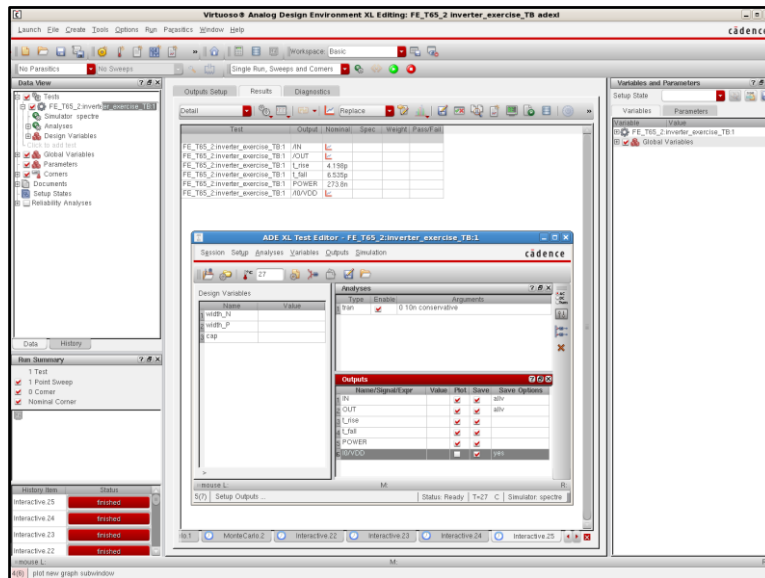


Abbildung 15: Analogsimulator GUI

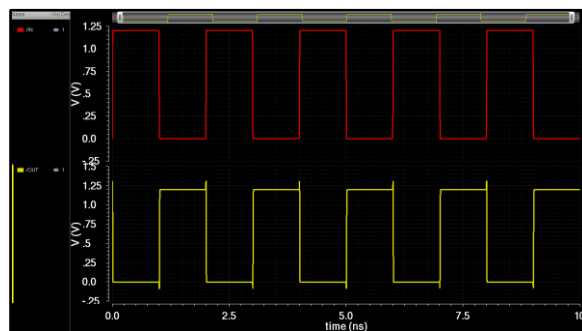


Abbildung 16: Ergebnis einer transeinten Simulation

Es ist möglich das Rauschen im frequenz- und im Zeitbereich zu simulieren.

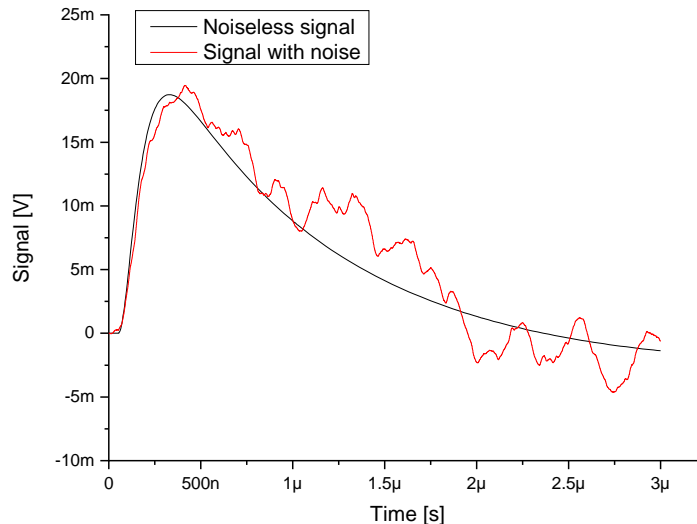


Abbildung 17: Rauschsimulation

Es ist ebenfalls möglich Parameterschwankungen zu simulieren.

Rauschen: Wir betrachten ein Bauteil. Wir untersuchen wie sich die Ströme und Spannungen in Abwesenheit von Signalen zeitlich verändern – der Grund ist die thermische Bewegung von Elektronen oder Elektronen-trapping.

Mismatch: Wir betrachten mehrere identische Bauteile. Wir untersuchen statistische Variation von Stromen/Spannungen vom Bauteil zum Bauteil.

Layout

Wenn wir mit den Simulationsergebnissen zufrieden sind, fangen wir mit dem Layout-Design. Das Layout besteht aus mehreren Zeichnungen. Diese repräsentieren die Maskenlagen, welche für die Herstellung von Transistoren und Metallverbindungen verwendet werden.

Layouts werden im analogen Design oft mit „der Maus“ gezeichnet (zusammengedockt).

Das wird mit dem Layout-Editor gemacht, dessen graphische Oberfläche wie in einem CAD Programm aussieht. Man kann Polygone, Pfade und andere Strukturen zeichnen.

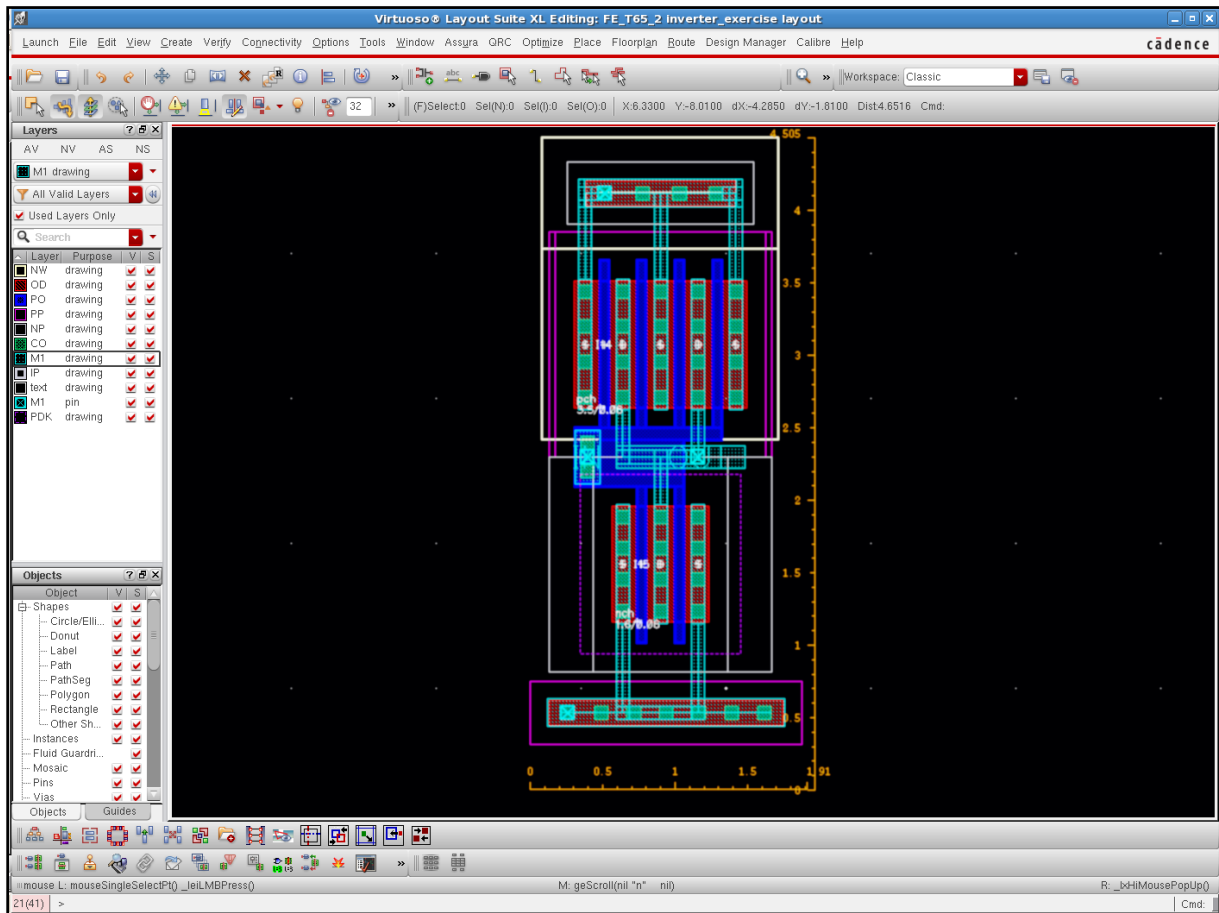


Abbildung 18: Layout-Editor

Es gibt einige zusätzliche Möglichkeiten. Z.B. man kann die Strukturen gruppieren und als Blöcke verwenden. Es ist möglich eine Hierarchie aufzubauen. Diese Gruppe in Layout-Software ist ähnlich wie ein Objekt (Instanz) einer Klasse in einer Programmiersprache. Man kann viele Instanzen (Objekte) einer Art in einem Design haben. Im Cadence nennt man diese „Klassen“ Zellen. Eine Zelle hat verschiedene Ansichten – views. So gibt es z.B. schematic view oder layout view.

Eine Semiautomatische Generierung des Layouts aus dem Schaltplan ist auch möglich.

Beim Zeichnen muss man auf die Layout-Regeln achten – z.B. die Transistoren dürfen nicht kleiner sein als die Technologie ermöglicht.

Es ist möglich zu prüfen ob die Layout-Regeln im Design verletzt wurden. Hier kommen die herstellerspezifischen Layout-Regeln zum Einsatz. Diese Überprüfung nennt man DRC (Design Rule Check).

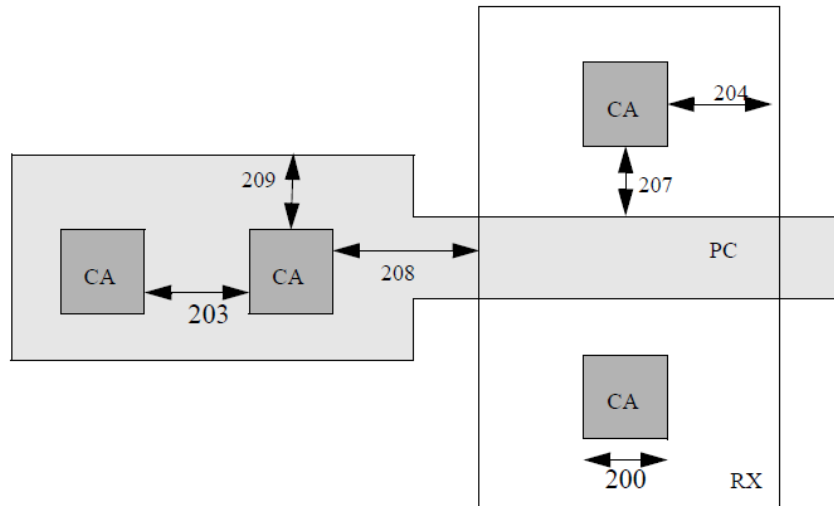


Abbildung 19: Design-Regeln

Es ist auch möglich aus einem Layout den Schaltplan in Form von netzliste zu extrahieren. Die Tools können aus den Layout-Lagen die Transistoren und die die Verbindungen zwischen Transistoren erkennen. So kann überprüft werden, ob ein Layout seinem Schaltplan entspricht. (Ob schematic view einer Zelle dem layout view entspricht.) Das nennt man LVS – Check (Layout versus Schematics)

Schaltungsentwurf

Eine richtige Strukturierung ist beim Schaltungsdesign hilfreich. Fast jede analoge Schaltung basiert auf wenigen Grundkomponenten. Die Beispiele sind der Common Source Verstärker (Source-Schaltung), der Source-Folger (Drain-Schaltung), die Kaskode (Gate-Schaltung), der Stromspiegel und der Differenzverstärker. Diese Grundkomponenten bestehen aus Transistoren. Die komplexeren Schaltungen, wie Operationsverstärker oder Analog-Digitalwandlern (ADCs) bestehen aus Grundkomponenten. Die Systeme bestehen aus Schaltungen.

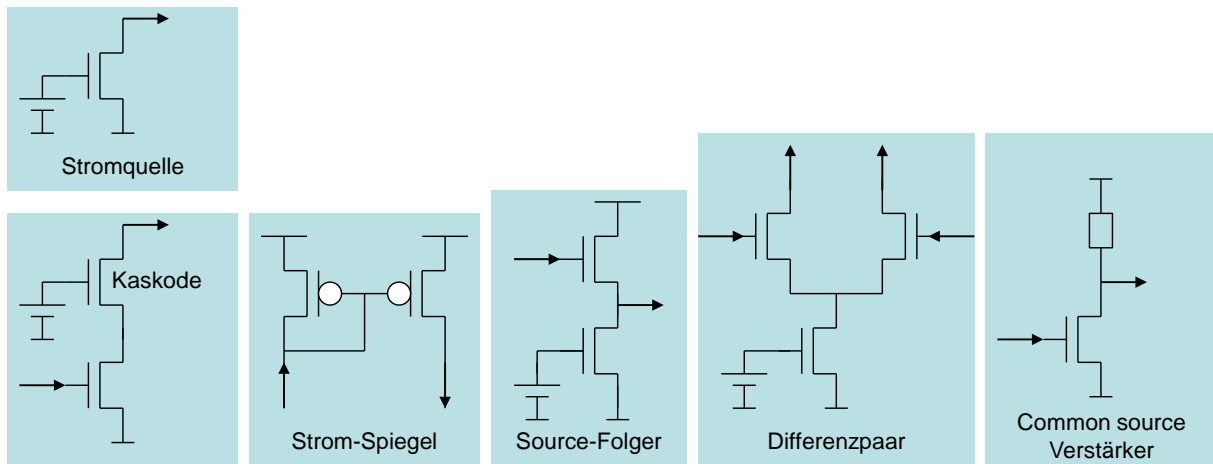


Abbildung 20: Grundkomponenten

Struktur eines Mikrochips

Ein Chip besteht aus vielen Systemen die miteinander vernetzt sind.

Die Verwendung von Zellen und Instanzen im Cadence erlaubt uns gleiche Schaltungen mehrfach zu verwenden. Schaltpläne und Layouts haben die gleiche hierarchische Struktur.

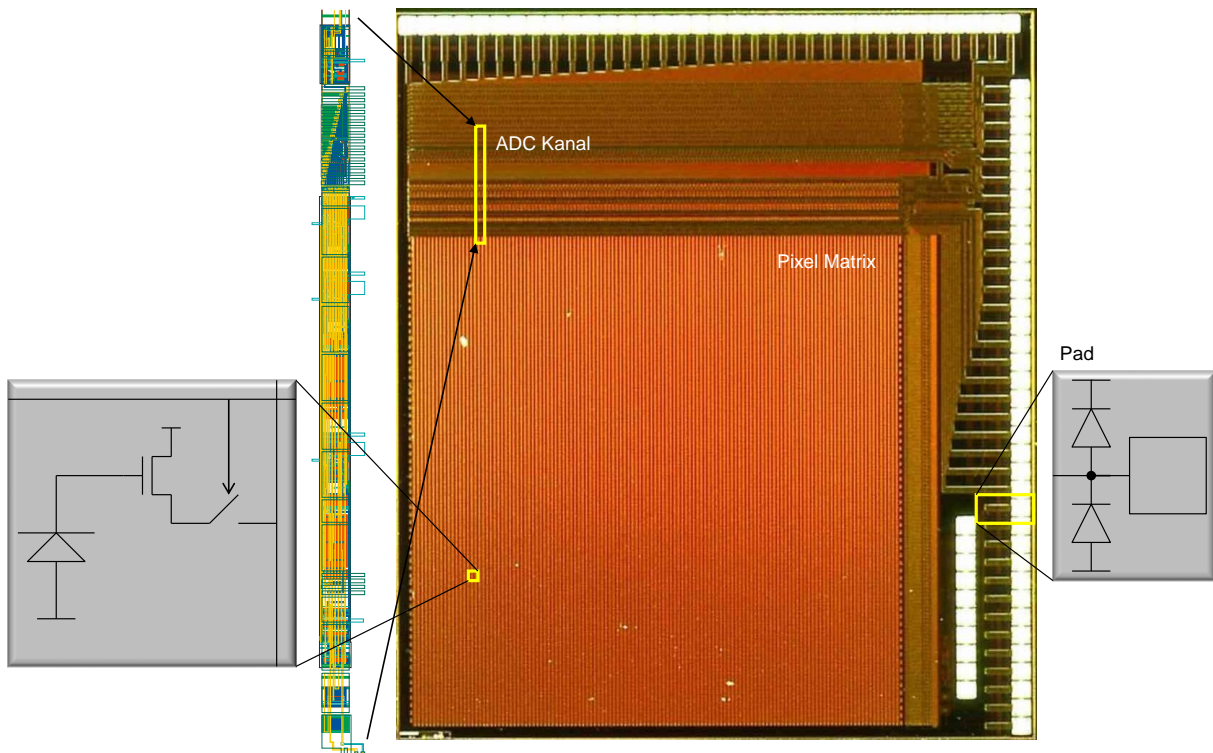


Abbildung 21: Foto eines CMOS Pixelsensors mit wichtigen Schaltungen

Nehmen wir als Beispiel einen Pixelsensor. Die Sensoren für Licht – Pixels basieren auf Dioden. Diese Dioden werden in Sperrrichtung gepolt.

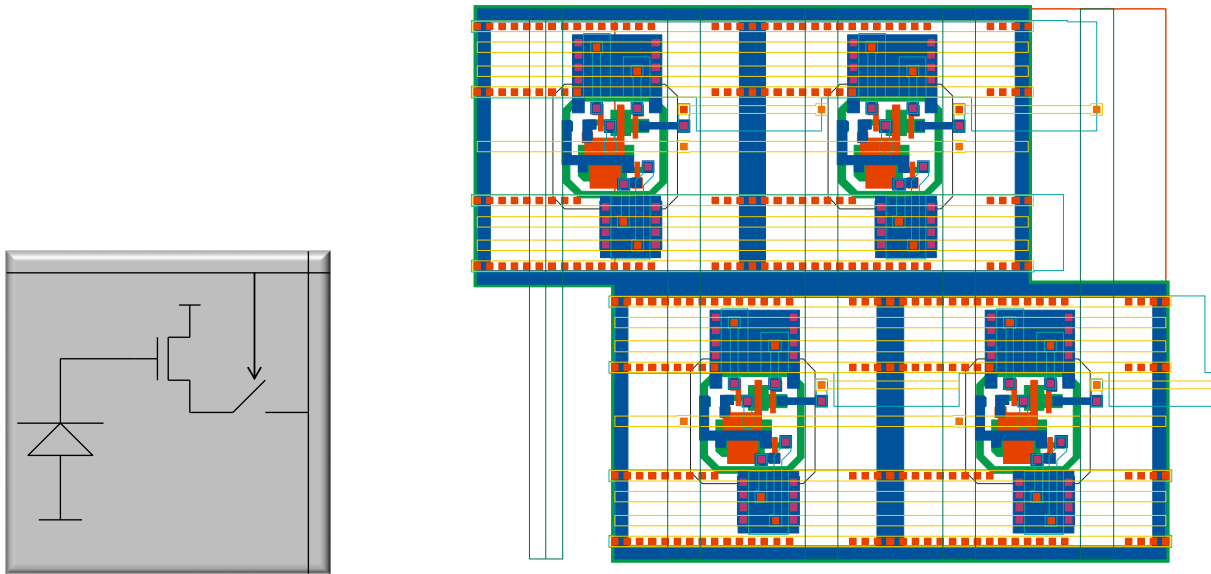


Abbildung 22: Pixel – Schaltplan und Layout

Pixel

Die Verstärker in Pixels basieren auf einfachsten Komponenten – z.B. einem Sourcefolger.

Hierarchie

Die Pixels sind in Spalten organisiert und die Spalten formen die Matrix. Solche intuitive Hierarchie wird im Schaltplan und im Layout verwendet. Wir können also zuerst ein Pixel als Schaltung entwerfen, es dann simulieren, das Layout zeichnen und DRC/LVS Checks machen. Dann bauen wir eine Spalte und die ganze Matrix. Es ist vom Vorteil, die Zahl von unterschiedlichen Layouts und Schaltplänen in einem Design zu reduzieren. Warum? Wenn wir später im Pixellayout etwas ändern wird die Änderung in jeder Pixelzelle übernommen und wir müssen es nicht mehrfach machen.

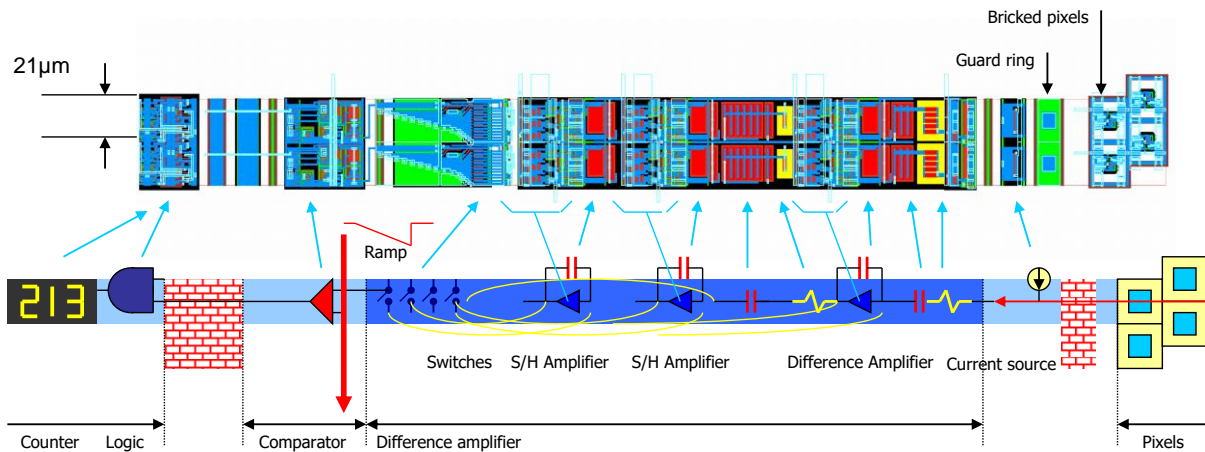


Abbildung 23: Ausleselektronik – Layout und Blockschaltplan

ADC

Der Sensorchip enthält die ADCs, die Pixelsignale digitalisieren. (Ein ADC pro Spalte.) Diese ADCs befinden sich auf der Chip-Peripherie. ADC ist ein System, das aus mehreren Komponenten besteht – z.B. dem Verstärker, dem Komparator, dem DAC, einer digitalen Schaltung für Ansteuerung. Auf einem Pixelsensor haben wir typischerweise 1000 solcher ADCs.

Digitalteil

Oft gibt es noch eine Digitalschaltung, die die ADC Signale komprimiert und in einem geeigneten Format aus dem Chip sendet. Die digitalen Komponenten bestehen aus Logik-Standardzellen (Flip-Flop, UND, ODER, usw.). Diese werden oft von Design-Firmen bereitgestellt. Man kann eine Digitalschaltung entweder aus diesen Komponenten „von Hand“ zusammenbauen oder mit einem Synthese Tool aus dem HDL-Code entwerfen. Die Chips, die sowohl analoge als auch digitale Komponenten enthalten werden mixed-mode Chips (Mischsignalchips) genannt. Auch eine Mischsignalsimulation ist möglich wo die analogen Schaltungen analog simuliert werden (Stromgleichungen werden numerisch gelöst) während die digitalen Schaltungen basierend auf logischen Funktionen simuliert werden. Die Simulatoren enthalten die Schnittstellen zwischen den digitalen und analogen Blöcken ein. Diese transferieren binäre Signale (0 und 1) in physikalische Signale (Spannungen).

Pads

Ein Chip hat ebenfalls die IO (Eingang-Ausgang) Kontakte (Pads, Füße). Diese Pads verbindet man mit einer Leiterplatte oder dem Chipgehäuse. Dafür benutzt man Geräte – die Drahtbonder. Eine einfache Lötverbindung ist unmöglich da die

Pads zu klein sind. Die Chip-Pads enthalten die so genannten electrostatic discharge (ESD-) Schutzschaltungen. Sie schützen vor Überspannung, die bei einer elektrostatischen Aufladung entstehen könnte und die Gateoxid beschädigen kann.

Analoges Schaltungsdesign

Design von analogen integrierten Schaltungen basiert auf den gleichen Prinzipien und Techniken wie das Design von Schaltungen mit Bauteilen

Es gibt einige Unterschiede: Beim Design von diskreten Schaltungen auf einer Leiterplatte muss man aus tausenden kommerziellen Komponenten die richtige wählen. Im analogen CMOS-Chipdesign basieren Schaltungen auf nur zwei Komponenten dem NMOS und dem PMOS Feldeffekt-Transistor. MOSFET ist eine vielseitige Komponente: Er kann als Verstärker, Stromquelle, Widerstand, Kondensator, Schalter und als Diode eingesetzt werden. Es ist deshalb wichtig die Transistor-Modelle zu kennen. Eine weitere Besonderheit im CMOS-Design ist es, dass ein Widerstand und eine Diode selten benutzt werden. Die Qualität von echten Widerständen ist auf einem Chip ziemlich schlecht – ihre Werte schwanken bis $\pm 10\%$. Die Dioden in Durchlassrichtung können einen Kurzschluss effekt verursachen (Latchup Effekt). Da die Kondensatoren im CMOS gute Qualität und präzise Kapazität haben werden Widerstände oft durch Kondensatoren ersetzt. Die Dioden werden durch Transistoren ersetzt.

Manchmal sind die analogen Komponenten auf einem CMOS Chip nicht so gut wie die analogen Schaltungen auf einem Spezialchip. Z.B. die Sensoren auf einem CCD Chip sind besser im Sinne von Signal-zu Rauschen Verhältnis als die Sensoren auf einem CMOS Chip. Die Verstärker in Bipolartechnologie sind manchmal schneller oder rauschärmer als die CMOS-Verstärker. Die CMOS Chips haben aber den Vorteil dass sie auch komplexe Schaltungen für die Fehlerkorrektur enthalten können. Das kann die Nachteile von CMOS Schaltungen kompensieren. Ein Beispiel sind die CMOS Pixelsensoren. Durch die Integration von Schaltungen für Auslese und Bildverarbeitung auf demselben Chip wo sich auch die Pixelmatrix befindet bessere Bildqualität als bei CCDs erzielt.

Kurze Zusammenfassung des Kurses

Die ersten 2 Vorlesungen behandeln die Modellierung des MOSFETs.

Danach werden einige approximative und intuitive Methoden für die Schaltungsanalyse eingeführt. Dazu zählen die Analyse von Schaltungen mit Rückkopplung, die Formeln für die Berechnung von Verstärkungen, Impedanzen, Zeitkonstanten und Stabilitätskriterien.

Ein weiteres Thema sind die Verstärker.

In der zweiten Hälfte des Kurses werden wir uns mit komplexeren Schaltungen befassen, zum Beispiel mit den mehrstufigen, differenziellen-, Rail to Rail Verstärkern, Komparatoren. Schließlich werden wir einige Systeme kennen lernen: Switched Capacitor Schaltungen und ADCs.

Detailliertere Zusammenfassung des Kurses

MOSFET

Struktur, Schwellenspannung, Kanalladung, I_{ds} , $V_{ds}(V_{gs})$, $I_{ds}(V_{ds})$

Schwache Inversion, Early Effekt, Substrat-Effekt, Kapazitäten, g_m

Rückkopplung

Ac-dc Analyse, Invertierender Verstärker mit RK, Einfache Transistor-Implementierung, Formel von Mason, Eigenschaften von Rückkopplung, virtuelle Masse, Desensibilisierung, Linearität, Leerlaufverstärkung (AC)

AC-Analyse

Sprungantwort, Tiefpass, Hochpass, **kapazitiver Spannungsverstärker**, Zeitkonstanten, Filter-Verhalten, Einfluss von Designparametern auf Verstärkung und Zeitkonstanten (Bandbreite), Formeln für die Zeitkonstanten

Einfache Schaltungen

MOSFET Diode (Z, Zeitkonstanten, Varianten, Anwendung), Stromspiegel, Anwendungen (Bias, Verstärker)

Kaskode (Rout), Common-Source Verstärker mit R, mit Stromspiegel, Bedeutung und Optimierung von Verstärkung, Verstärker mit Kaskode, Dynamikbereich, Gefaltete Kaskode.

Differentielle Verstärker

Vorteile, Arten, symmetrischer, mit einem Ausgang, Operationsverstärker, Differenz- und Gleichtaktverstärkung. Symmetrischer Verstärker mit CM-Rückkopplung, Operationsverstärker mit Stromspiegel

Rauschen

Johnson und thermisches Rauschen, Beispiel Pixelsensor

Rauschen im MOSFET, Beispiel Spannungs- und Ladungsverstärker

Zweistufige Verstärker 1

Stabilitätskriterium von Nyquist, Integrator (zweite Stufe), Miller-Effekt, Beispiele: nichtinvertierender Verstärker, Sourcefolger

Zweistufige Verstärker 2

Motivation, hohe Bandbreite bei großer Last ([Anstiegsrate slew rate limit](#)), Verstärker mit Sourcefolger, Verstärker mit common source zweiter Stufe, Stabilität, Dimensionierung

Komplexere Schaltungen

Getaktete Verstärker und Komparatoren

ADCs

Rampen-, flash-, SAR-, algorithmischer-, Pipeline-ADC

Layout

Layoutregeln, Matching